

MN14823/MN14826(MN1480 Series) 代表例-2)

周波数シンセサイザ・チューナ用 CMOS 4ビット・1チップ・マイクロコンピュータ
 CMOS 4-Bit Single-Chip Microcomputers for Frequency Synthesizer
 TV Tuning Systems

T-49-19-04

■ 概要

MN14823, MN14826 は、チューニング用 PLL 回路、音量制御用 6ビット D/A コンバータを1つ内蔵した CMOS 4ビット・マイクロコンピュータで、周波数シンセサイザ方式 TV チューナの制御に用いることができます。

■ Description

The MN14823, MN14826 are 4-bit single-chip microcomputers with a PLL circuit and a 6-bit DAC, and are best suited for frequency-synthesizer TV tuning systems.

■ 特徴

● マイクロコンピュータ部

- ROM : 2K バイト × 8 ビット
- RAM : 128 ワード × 4 ビット
- 命令 : MN1400 シリーズと基本的にコンパチブル
(133 ページ参照)

命令サイクル : 標準 6 μs

● チューニング用 PLL 回路部

- 基準クロック発振 : 1 ~ 8 MHz
- プリスケアラ : 1/64 または 1/256 外付
- プログラマブルカウンタ : { 基準周波数用 13 ビット
選局用 14 ビット (最高入力周波数 16 MHz)

位相検出器 : 繰返し周波数 (1kHz または 2kHz)

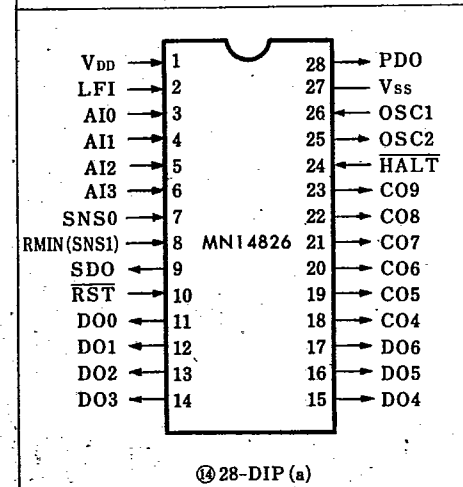
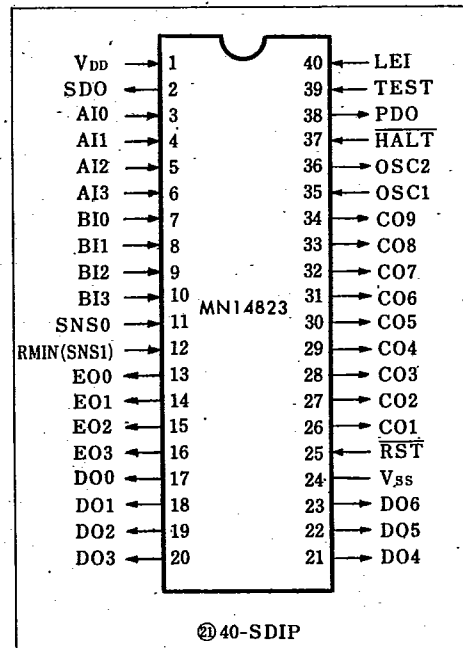
● 音量制御用 D/A コンバータ部

- 6 ビット 64 段
- 繰返し周波数 (標準) 7.8kHz

● +5V 単一電源動作

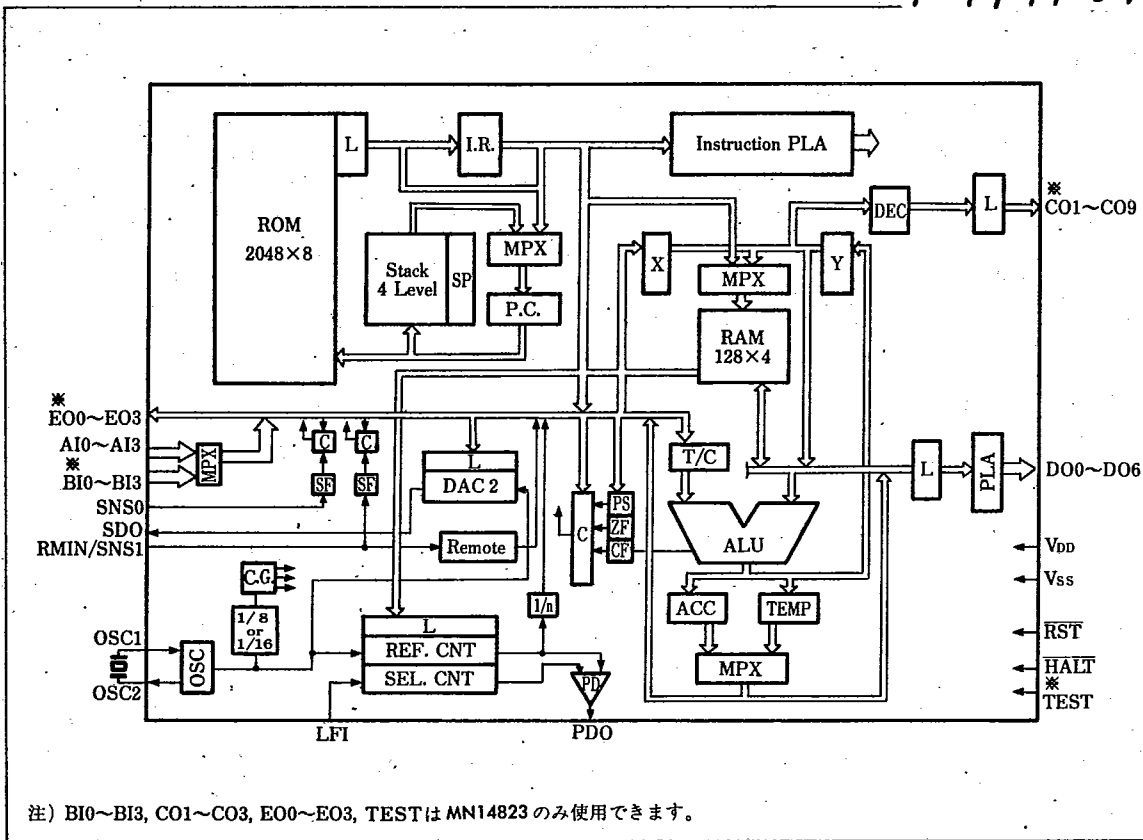
- MN14823 : 40 ピン・プラスチック SDIL パッケージ
- MN14826 : 28 ピン・プラスチック DIL パッケージ

■ 端子配置図/Pin Assignments



■ フロック図/Block Diagram

1-44-14-04



■ 命令マップ/Instruction Map

L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	TAX	TYA	TAY	AND	OR	XOR	A	CPL	C	ST	STIC	STDC	L	LIC	LDC
1	OTE	OTMD	OTD	TAPR	INA	INB	RCO	SCO	TACL	TACUT	CAL				SL	RET
2	LD			STD				RC	RP	SC	SP	ICY	DCY	ICM	DCM	
3	LX							BANK	UPX	BSN0	BS0	BSN1	BS1	BSN01	BS01	
4	JMP							CAL								
5	LI															
6	LY															
7	ANDI															
8	AI															
9	CI															
A	CY															
B	SM															
C	RM															
D	TB															
E	TXA	SKIP	BNZ	BZ	BNC	BC	BNCZ	BCZ	BNP	BP	BNPZ	BPZ	BNPC	BPC	BNPCZ	BPCZ
F	OTIE															

□ 2-cycle Instruction

■ 機能説明

マイクロコンピュータ部は、MN1400を拡張したもので、以下MN1400の基本アーキテクチャと異なる点を中心に記します。詳細はMN1400シリーズ・ユーザズマニュアルを参照してください。

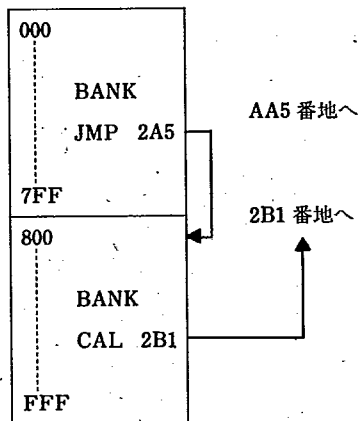
1. ROM

最大4Kバイトまで、使用可能な構造になっています。それに伴い、次の命令が追加されます。

(1) BANK

命令コード 38……「BANK」

ROM4Kバイトのうち、前半2KバイトをBANK0、後半2KバイトをBANK1とし、BANK命令実行直後のJMPまたはCALによってBANKを切り換えます。(BANKは、JMP、CALの直前のみ有効です。)



注) MN14823, MN14826では、ROMを2Kバイト(BANK0)のみ内蔵しています。

2. RAM

最大256ワードまで使用可能な構造になっています。それに伴い、次の命令が追加されます。

(1) UPX命令コード 39……「UPX」

UPX命令直後のLX命令で、X:8~Fを指定します。

(UPXはLXの直前のみ有効でそれ以外の場所での使用は

禁止されています。また、TAXでは直接X=0~Fにできません。)

注) MN14823, MN14826では、RAMを128ワードのみ内蔵しています。

(2) TXA命令コード E0……「TXA」

Xレジスタの内容がACCに移されます。

移されたデータが0の場合にはZFがセットされ、0でない場合はリセットされます。

(例)

UPX

LX 2………(X=A)

⋮

LX 2………(X=2)

3. サブルーチン

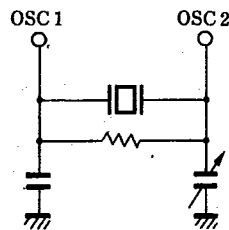
4レベルまで使用可能です。(MN1400の基本アーキテクチャでは2レベル)

4. OSC

基準発振には水晶振動子を使用します。接続は下図のようにします。

発振周波数: $f_{osc} = 1 \sim 8\text{MHz}$

外部発振回路使用の場合は、OSC1が入力端子となります。



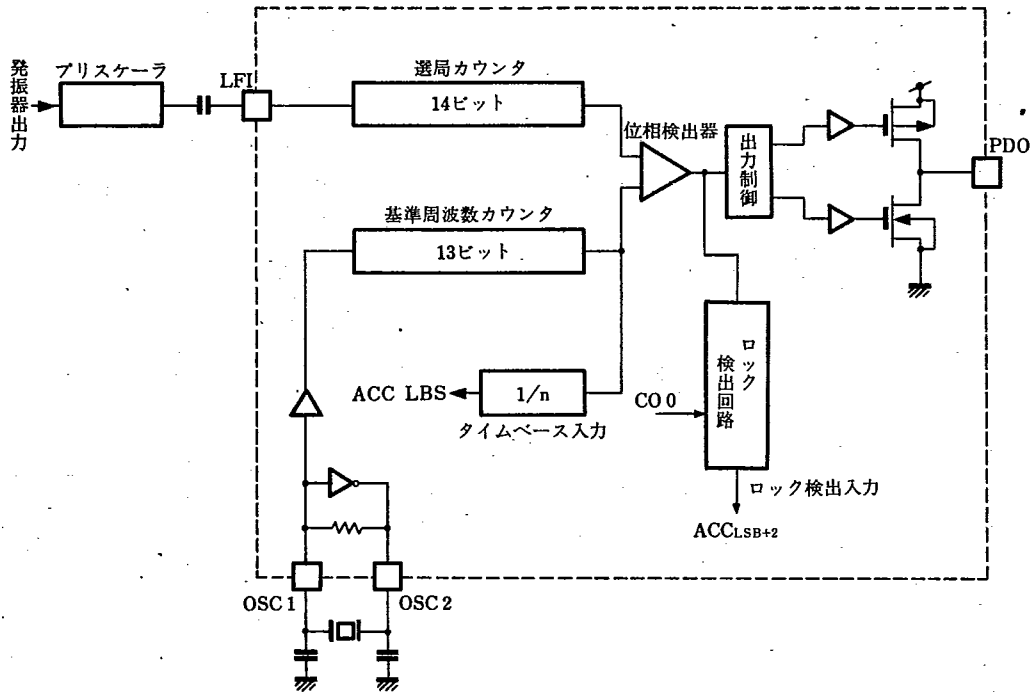
5. クロック発生器

マイクロコンピュータのクロック発生器は、 $f = f_{osc}/8$ または $f_{osc}/16$ の信号から3相クロックCP1, CP2, CP3を発生します。したがって、1サイクル命令の実行時間は、 $T_c = 3 \times 1/f$ となります。

T-49-19-04

6. PLL 回路

MN14823, MN14826 には下図の構成の PLL 回路が内蔵されています。



7. 基準周波数カウンタ

13ビット・プログラマブルカウンタで、マスクROM化の際にマスクオプションにより、 $1/16 \sim 1/8000$ の任意分周比にセットできます。

また、下位9ビットまでは、マイクロコンピュータ部で制御することも可能です。この場合、RAMのM(3, F)が下位4ビットに対応します。5ビット目から8ビット目までの4ビットはTAPR命令を実行することにより、ACCのデータを設定できます(後述)。9ビット目はCO10出力に対応します。この場合、後述の選局カウンタのデータセットの際、M(3, F)は使用できなくなります。分周比データのコントロールは、選局カウンタのデータ転送と同様にCO0を用います。

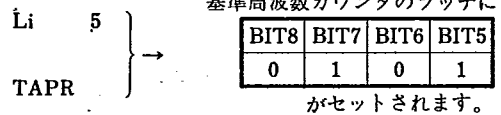
注) マスクプログラマブル仕様—PLLカウンタの組み合わせオプションを参照してください。

● TAPR

命令コード 13……………「TAPR」

ACCの内容がPLLの基準周波数カウンタの5ビット目から8ビット目のラッチに転送されます。

(例)



8. 選局カウンタ

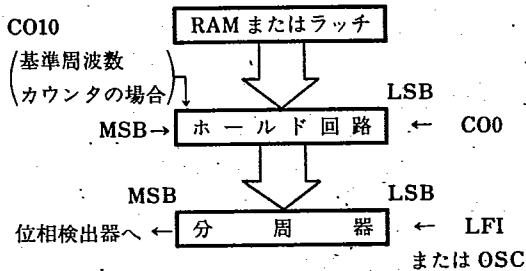
14ビット・プログラマブルカウンタで、入力端子LFIに入力された信号を $1/64 \sim 1/16000$ に任意分周し、位相検出器に出力します。

分周比は、RAMのM(3, F), M(2, F), M(1, F), M(0, F)によってセットできます。

注) マスクプログラム仕様—PLLカウンタの組み合わせオプションを参照してください。

9. 分周比データの制御

分周比データは、CO0 {セット→HOLD} でコントロールされます。



10. 位相検出器 (PDO)

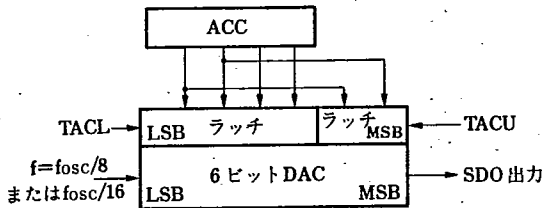
基準周波数カウンタ出力信号が、選局カウンタ出力信号と比較して

進相のとき	PDO 出力	ローレベル
遅相のとき	PDO 出力	ハイレベル
同相のとき	PDO 出力	ハイレベル

となります。

11. SDO

音量制御用の6ビットD/Aコンバータです(5ビットも可能)。マイクロコンピュータとの接続は下図のようになっています。



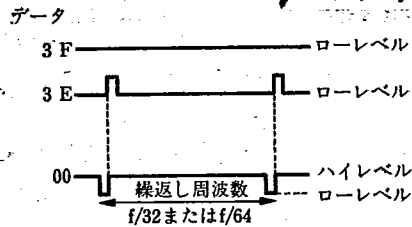
(1) 音量レベルセット命令

TACL.....ACCの値をDACの下位4ビットにラッチします。

TACU.....ACCの値をDACの上位2ビットにラッチします。

(2) 音量出力波形 (標準)

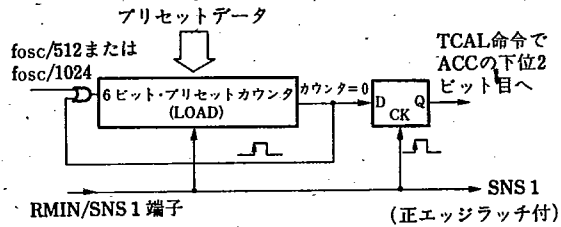
T-49-19-04



注) MN14823, MN14826 では上記の波形を標準とします。
SDOの波形はマスクオプションにより極性を反転できます。

12. リモコン受信回路

RMIN/SNS 1の入力には下記の回路を内蔵しています。



13. タイムベース (時間基準)

基準周波数カウンタ出力を分周した信号を、マイクロコンピュータ部のACC(LSB)にTCAL命令で直接入力できます。

分周比は次の中から選択することができ、マイクロコンピュータのプログラム上の時間基準として利用できます。

分周比	1/2, 1/4, 1/8.....デューティ 1:1
	1/5, 1/10デューティ 3:2

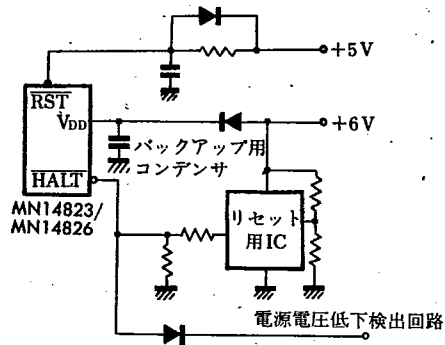
14. スタンバイモード

HALT端子をローレベルにすることにより、MN14823, MN14826は1サイクル以内に動作を停止してスタンバイモードになります。このとき、

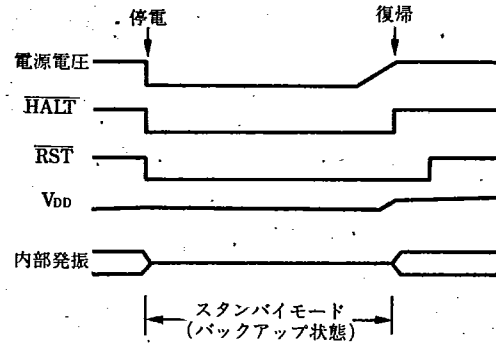
- 発振停止
- A, Bポート入力端子およびSNS入力端子はプルダウン
- 出力端子はすべてローレベル
- 出力ポートラッチはすべてリセット
- RAMはホールド状態(データを保持)

スタンバイモードからの復帰は、RST端子をローレベルにしたままHALT端子をハイレベルに戻すことにより発振を開始します。その後RST端子をハイレベルにすると、ROMアドレス0番地より実行します。

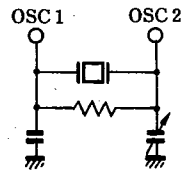
(例) 停電時のRAMバックアップ用回路



T-49-19-04



■ 端子説明

端子名	入出力	機能
V _{DD}	電源	電源供給端子 標準+5V
V _{SS}	電源	接地端子 0V
OSC1 OSC2	発振	発振端子 水晶振動子を接続します。 フィルタを接続します。 
AI0~AI3	入力	4ビット並列入力端子 命令 INA によって ACC の BIT0~3 にデータがセットされます。
BI0* BI1* BI2* BI3*	入力	4ビット並列入力端子 命令 INB によって ACC の BIT0~3 にデータがセットされます。
SNS0	入力	センス入力端子
RMIN (SNS1)	入力	リモコン受信回路およびエッジまたはレベルのラッチを内蔵しています。
E00* E01* E02* E03*	出力	4ビット並列の出力ポート
SD0	出力	音量制御用 D/A コンバータ出力 ローパスフィルタに接続します。
C01*~C03* C04~C09	出力	ディスクリート出力

MN1400 Family—3
MN14823/14826(MN1480 Series)

マイクロコンピュータ(4-Bit)
6932852 PANASONIC INDL, ELECTRONIC

72C 05747 D

T-49-19-04

■ 端子説明(つづき)

端子名	入出力	機能
HALT	入力	スタンバイ・モード入力端子 (通常ハイレベル) ローレベルを入力すると、 ●発振停止 ●MN14823/MN14826 はすべての動作を停止 ●RAM の内容は保持 ●AI0~3, BI0~3, SNS0, 1 の入力端子はプルダウン ●出力端子はローレベル の状態になります。 ハイレベルに戻すと再び発振を始めます。
TEST*	入力	テスト端子
RST	入力	リセット端子 (通常:ハイレベル) ローレベルを入力すると、 ●ROM アドレス:0 番地 ●フラッグ(PS, CF, ZF):リセット ●センス入力のラッチ:リセット ●C ポートラッチ:リセット ●C ポート出力:ローレベル ●D ポートラッチ:リセット ●D ポート出力:D ポート PLA の 0 番地を出力 ●E ポートラッチ:リセット* ●E ポート出力:ローレベル* の状態になります。
LFI	入力	選局カウンタの入力端子 プリスケラから入力します。 プリスケラ VCO → 1/64 or 1/256 → LFI
PDO	出力	位相検出器出力 ローパスフィルタに接続します。
DO0~DO6	出力	7ビット PLA の出力ポート

*BI0~BI3, CO1~CO3, EO0~EO3, TEST は MN14823 のみ使用できます。

■ マスクプログラマブル仕様

●入力ポート

入力端子	オープン	プルアップ
AI0		
AI1		
AI2		
AI3		
BI0*		
BI1*		
BI2*		
BI3*		

●SNS0

項目	有無
プルアップ	有
	無
ラッチ	有
	無
ラッチモード	レベル
	エッジ
極性	正
	負

*BI0~BI3, CO1~CO3 は MN14823 のみ使用できます。

MN1400 Family—3
MN14823/14826(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL・ELECTRONIC

72C 05749 D

●Dポート PLA

T-49-19-04

	AND ゲート入力										D ポート出力						
	DLPS	DLPS	DL3	DL3	DL2	DL2	DL1	DL1	DL0	DL0	DO6	DO5	DO4	DO3	DO2	DO1	DO0
AND1																	
AND2																	
AND3																	
AND4																	
AND5																	
AND6																	
AND7																	
AND8																	
AND9																	
AND10																	
AND11																	
AND12																	
AND13																	
AND14																	
AND15																	
AND16																	
AND17																	
AND18																	
AND19																	
AND20																	
AND21																	
AND22																	
AND23																	
AND24																	

●PLL カウンタの組合わせオプション

オプション	組合わせ	14	13	12	11	10	9	8	7	6	5	4	3	2	1 (LSB)
1	基準周波数 カウンタ						CO10	TAPR BIT3	TAPR BIT2	TAPR BIT1	TAPR BIT0	M(3,F) BIT3	M(3,F) BIT2	M(3,F) BIT1	M(3,F) BIT0
	選局カウンタ	0	0	M(2,F) BIT3	M(2,F) BIT2	M(2,F) BIT1	M(2,F) BIT0	M(1,F) BIT3	M(1,F) BIT2	M(1,F) BIT1	M(1,F) BIT0	M(0,F) BIT3	M(0,F) BIT2	M(0,F) BIT1	M(0,F) BIT0
2	基準周波数 カウンタ														
	選局カウンタ	M(3,F) BIT1	M(3,F) BIT0	M(2,F) BIT3	M(2,F) BIT2	M(2,F) BIT1	M(2,F) BIT0	M(1,F) BIT3	M(1,F) BIT2	M(1,F) BIT1	M(1,F) BIT0	M(0,F) BIT3	M(0,F) BIT2	M(0,F) BIT1	M(0,F) BIT0

↑
いずれかの組を選択します。(○印記入)
その後、空欄にデータ (0 または 1) を記入してください。
注) 選局カウンタ側に 0 がすでに入っているビットは 0 に固定です。

MN1400 Family—3
MN14823/14826(MN1480 Series)

マイクロコンピュータ(4-Bit)
6932852 PANASONIC INDL•ELECTRONIC

72C 05750 D

■ 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

T-49-19-04

Item	Symbol	Rating	Unit
電源電圧	V _{DD}	-0.3~8.0	V
入力電圧	V _I	-0.3~V _{DD} +0.3	V
出力端子電圧	V _O	-0.3~V _{DD} +0.3	V
尖頭出力電流	I _{OH(peak)}	-10	mA
	I _{OL(peak)}	30	mA
平均出力電流	I _{OH(avg)*}	-5	mA
	I _{OL(avg)*} D00~6を除く	3	mA
	I _{OL(avg)*} D00~6	35	mA
動作周囲温度	T _{opr}	-20~+70	°C
保存温度	T _{stg}	-55~+125	°C

*いかなる 100ms の期間に対しても適用される。

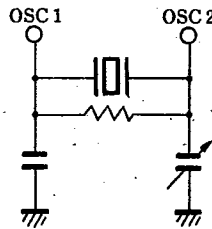
■ 動作条件/Operating Conditions (V_{SS}=0V, Ta=-20°C~+70°C)

Item	Symbol	Condition	min.	typ. ^(注2)	max.	Unit
電源電圧 ^{注1)}	V _{DD}		4.5	5	5.5	V
命令実行時間	t _c			6		μs
OSC1 発振周波数 ^{注3)}						
クロック周波数	f _{osc}				8	MHz

注1) リプルは 0.2V 以下 (ピーク値)

注3) 発振回路

注2) 標準値とは 5V, 室温時の値を示す。



■ 電気的特性/Electrical Characteristics (V_{DD}=5V, Ta=-20°C~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流 ^{注1)}	I _{DD}	Ta=25°C, 外付負荷なし			6	mA
消費電力	P _{tot}	f _{osc} =8MHz, f _{LFI} =4MHz			30	mW
スタンバイ時電流 ^{注1)}	I _{SB}	外付負荷なし			50	μA
入力端子 1 ^{注2)} (オープン入力端子) RST 端子 ^{注3)} , HALT 端子						
電圧ハイレベル	V _{IH1}		3.5		V _{DD}	V
電圧ローレベル	V _{IL1}		V _{SS}		0.8	V
入力リーク電流	I _{ILK}	V _I =5V, Fig. 4 参照			±30	μA
入力端子 2 ^{注4)} (プルアップ入力端子)						
電圧ハイレベル	V _{IH2}		3.5		V _{DD}	V
電圧ローレベル	V _{IL2}		V _{SS}		0.8	V
入力電流	I _{I2}	V _I =0.8V		-90	-200	μA
入力端子 3 (LFI)						
入力電圧	V _{IN3}		0.5		5	V _{P-P}
入力周波数	F _{IN}				4	MHz
入力電流	I _{I3}	V _I =V _{SS} ~V _{DD}			±30	μA

注1) Fig.1 参照

注2) Fig.2 参照

注3) Fig.5 参照

注4) Fig.3, Fig.4 参照

MN1400 Family-3

MN14823/14826(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL, ELECTRONIC

72C 05751 D

■ 電気的特性(つづき) / Electrical Characteristics (Cont'd)

T-49-19-04

Item	Symbol	Condition	min.	typ.	max.	Unit
出力端子 1 ^{注5)} (CO1~9, SDO, E00~3)						
電圧ハイレベル ^{注6)}	VOH1	VDD=5.0V, IOH=-100 μ A	4			V
電圧ローレベル	VOL1	VDD=5.0V, IOL=2mA			0.5	V
出力リーク電流 ^{注7)}	IOLK1	Vo=VSS~VDD			\pm 30	μ A
出力端子 2 ^{注5)} (DO0~6)						
電圧ハイレベル ^{注6)}	VOH2	VDD=5.0V, IOH=-100 μ A	4			V
電圧ローレベル	VOL2	VDD=5.0V, IOL=28mA			1.9	V
出力リーク電流 ^{注7)}	IOLK2	Vo=VSS~VDD			\pm 30	μ A
PDO 端子 (PDO)						
ハイレベル出力電流	IOH	Vo=3V	-0.8			mA
ローレベル出力電流	IOL	Vo=2V	+0.8			mA
出力リーク電流	I.OFF	Vo=VSS~VDD			\pm 200	nA
入力端子 (HALT 端子, RST 端子, LFI 端子を除く)						
入力電流	Ii4	VIN=3V				μ A
端子容量						
入力端子	CI	Vi=2V		5		pF
出力端子	Co	Vo=2V		10		pF
OSC 端子	Cosc	Vosc=2V		10		pF

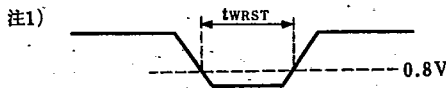
注5) 全出力端子は CMOS 構造である。出力レベルは CMOS コンパチブル, Fig.6 参照

注6) PUSH-PULL の場合のみ

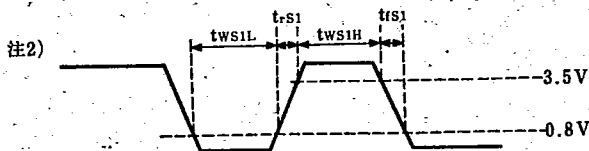
注7) OPEN-DRAIN の場合のみ

■ AC 特性 / AC Characteristics (VDD=5V, Ta=-20~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
RST 端子 ^{注1)} (RST)						
ローレベル・パルス幅	tWRST					μ s
SNS1 端子 ^{注2)} (SNS1)						
ハイレベルパルス幅	tWS1H		20			μ s
ローレベルパルス幅	tWS1L		20			μ s
立上り時間	tRS1				6.5	μ s
立下り時間	tFS1				6.5	μ s



- 1 命令実行時間以上RST端子がローレベルになればイニシャライズされる。
- Fig.5 参照



MN1400 Family—3
MN14823/14826(MN1480 Series)

マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL・ELECTRONIC

72C 05752 D

T-49-19-04

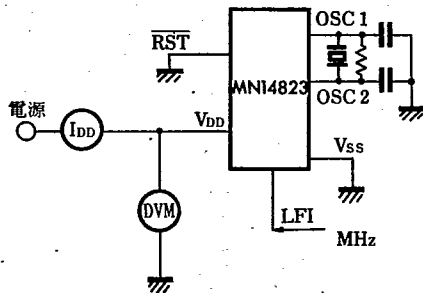


Fig. 1 電源電流(I_{DD})測定回路

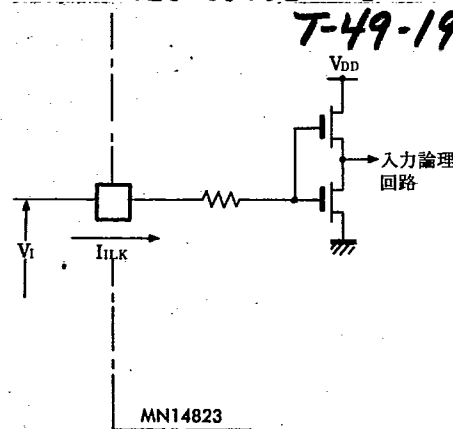


Fig. 2 入力回路(Fig. 4 参照)

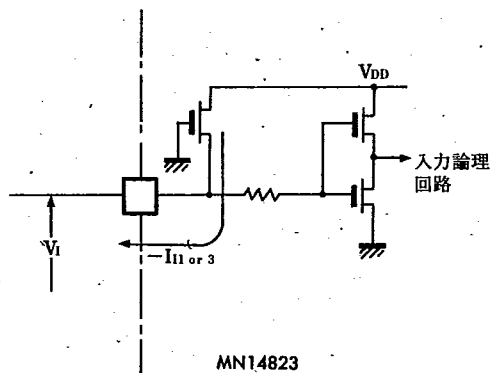


Fig. 3 プルアップ抵抗付入力回路および入力電流(Fig. 4 参照)

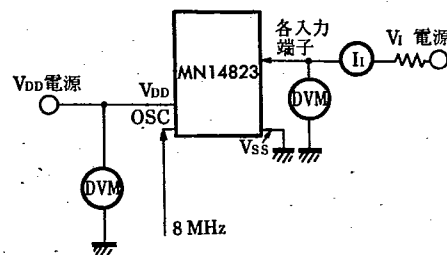
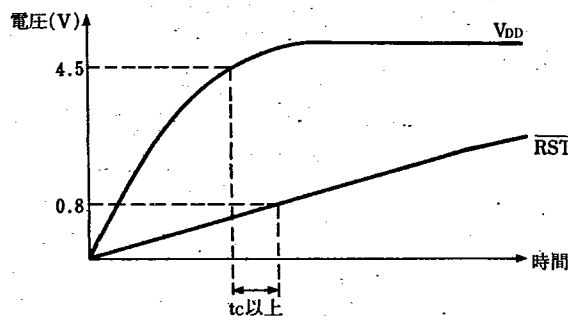
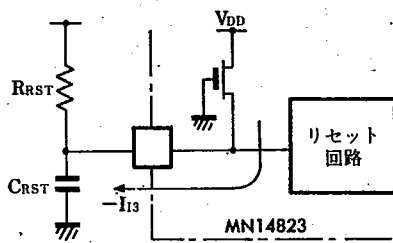


Fig. 4 入力電流測定回路



電源投入時に V_{DD} が4.5Vに立ち上がった後、1命令実行時間以上の間、RST端子の電圧が0.8V以下に保持される C_{RST} の値を選択する。

Fig. 5 イニシャルリセット回路および電圧波形

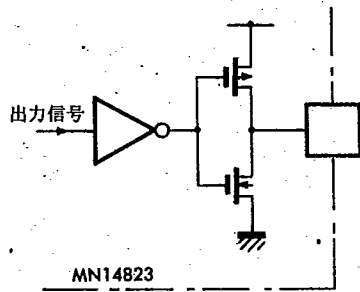
MN1400 Family—3
MN14823/14826(MN1480 Series)

マイクロコンピュータ(4-Bit)

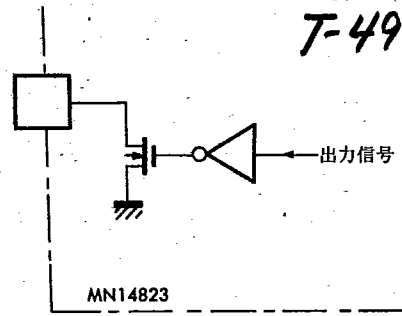
6932852 PANASONIC INDL,ELECTRONIC

72C 05753 D

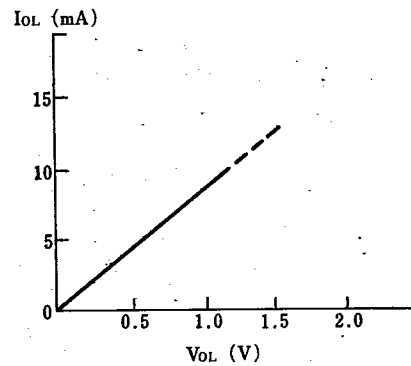
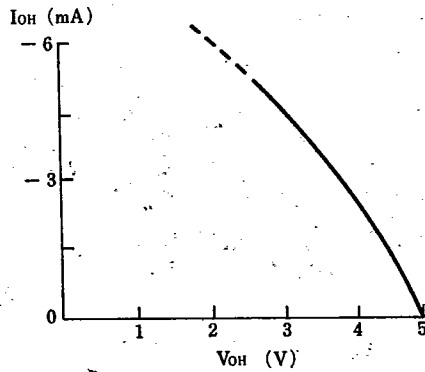
T-49-19-04



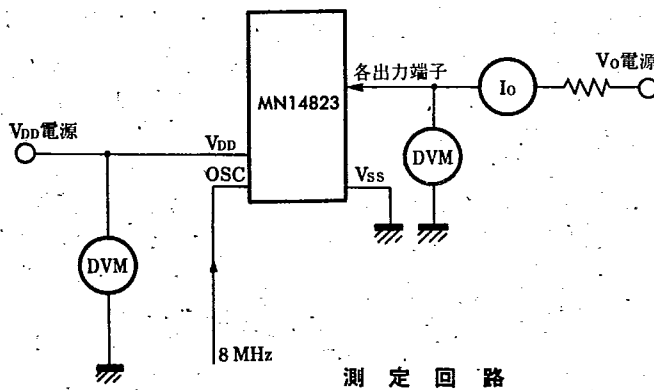
出力回路



オープンドレイン出力回路



出力電流



注) 各入力端子は被測定出力端子が
ハイレベル (I_{OH}測定) およびロ
ーレベル (I_{OL}測定) になるよう
に与える。

測定回路

Fig. 6 出力回路, 出力電流および測定回路

MN1400 Family—3
MN1410/1480 Series

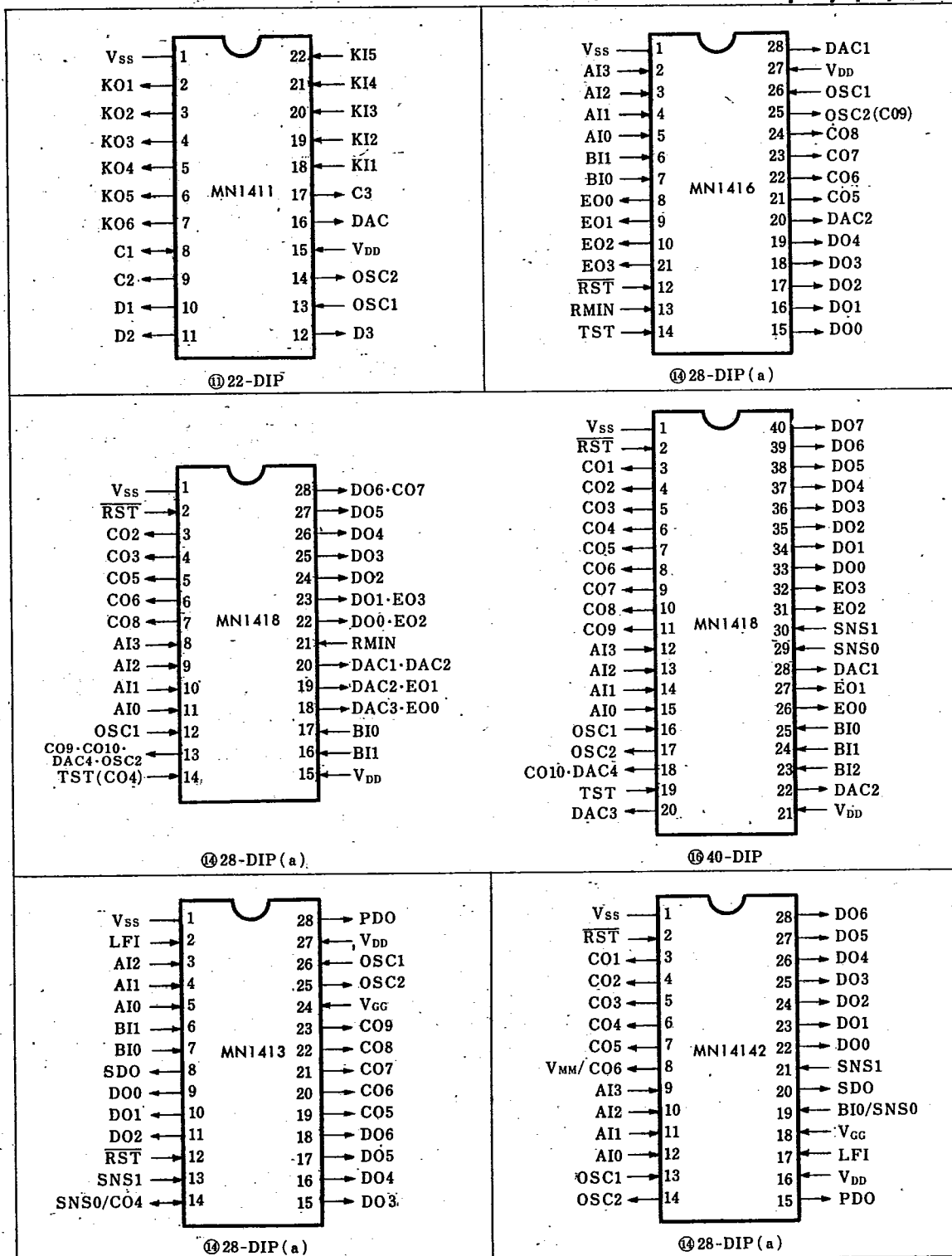
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL ELECTRONIC

72C 05754 D

■ MN1410/1480 シリーズ端子配置図/MN1410/1480 Series Pin Assignments

T-49-19-04



注1) 上記品種の主要特性は、MN1410/1480 Series仕様一覧表(110, 111)をご覧ください。
 注2) 詳細は、MN14821/14831, MN14823/14826(MN1410/1480 Series [代表例])とほぼ類似ですのでご参照ください。
 なお、個々の品種についての仕様書も別途用意いたしております。

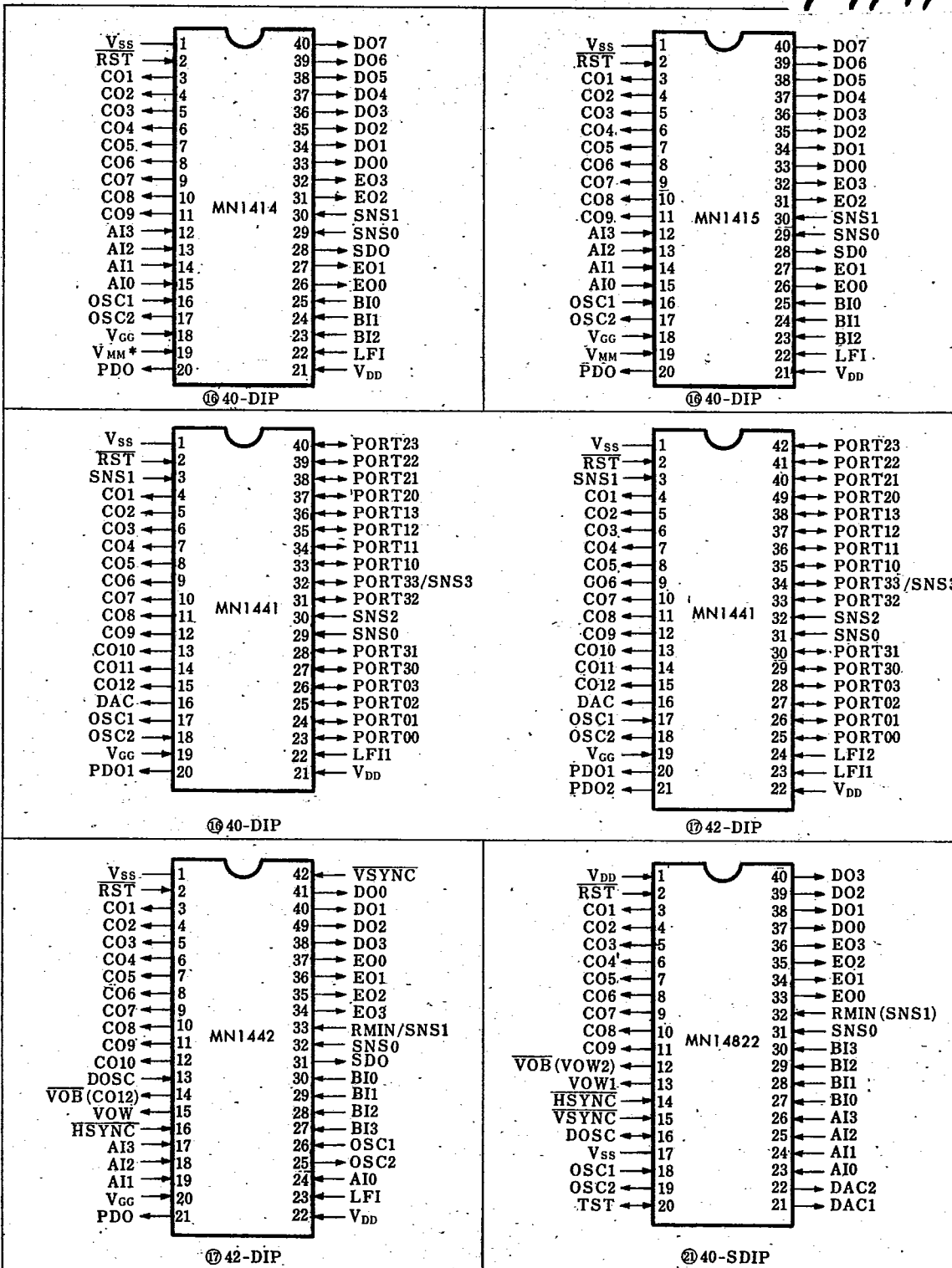
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL. ELECTRONIC

72C 05755 D

■ MN1410/1480 シリーズ端子配置図/MN1410/1480 Series Pin Assignments

T-49-19-04



注1) 上記品種の主要特性は、MN1410/1480 Series仕様一覧表(111, 112ページ)をご覧ください。
 注2) 詳細は、MN14821/14831, MN14823/14826(MN1410/1480 Series 代表例)とほぼ類似ですのでご参照ください。
 なお、個々の品種についての仕様書も別途用意いたしております。

MN1400 Family-3
MN1410/1480 Series

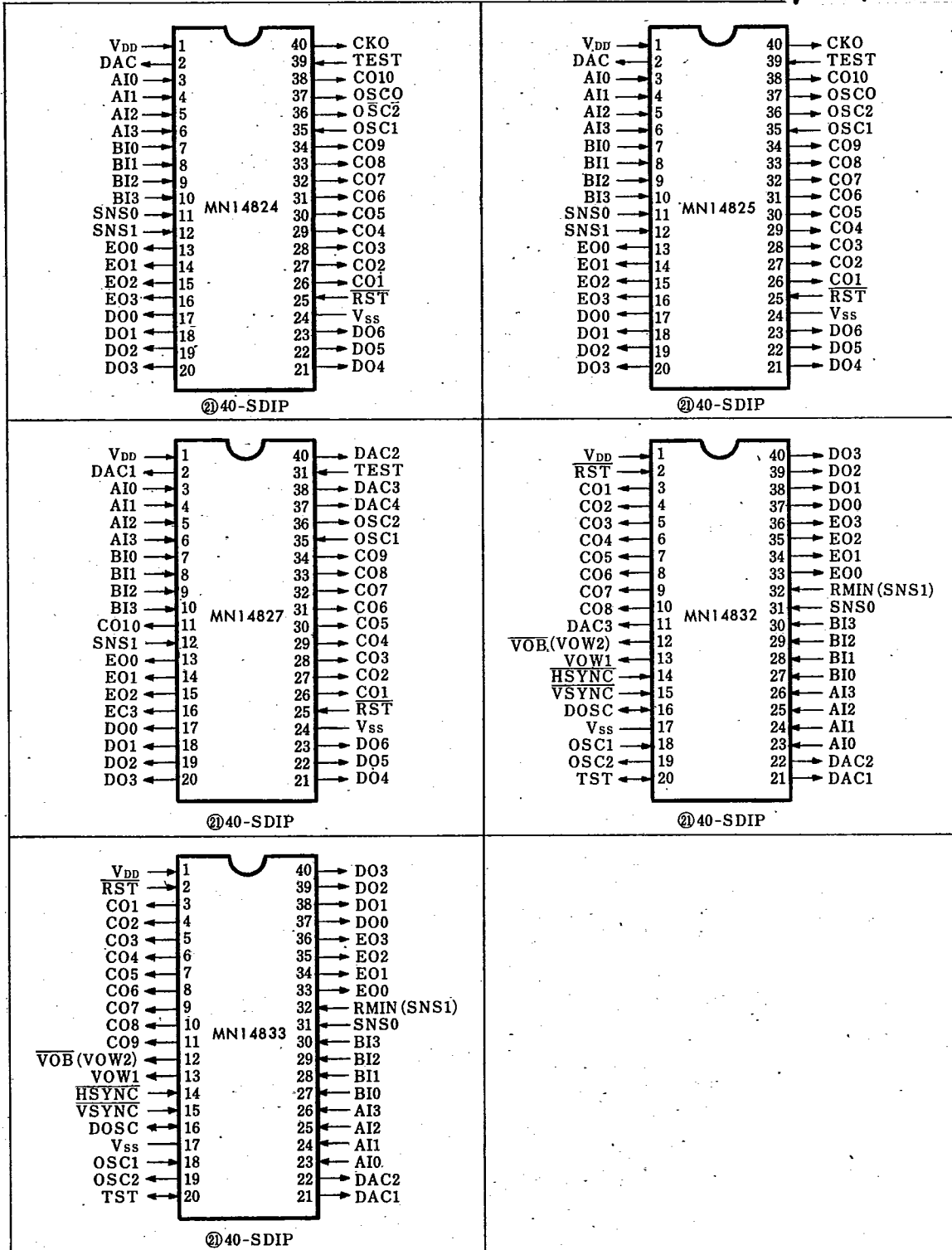
マイクロコンピュータ(4-Bit)

6932852 PANASONIC INDL. ELECTRONIC

72C 05756 D

■ MN1410/1480 シリーズ端子配置図/MN1410/1480 Series Pin Assignments

T-49-19-04



注1) 上記品種の主要特性は、MN1410/1480 Series 仕様一覧表(112, 113ページ)をご覧ください。

注2) 詳細は、MN14821/14831, MN14823/14826(MN1410/1480 Series 代表例)とほぼ類似ですのでご参照ください。

なお、個々の品種についての仕様書も別途用意いたしております。