

SANYO**三洋半導体ニュース**

No. 3929A

2062

半導体開発ニュースNo.3929とさしかえてください。

新

LC36257P,PL,PM,PML-10/12—256K(32768ワード×8ビット)SRAM

CMOS LSI

LC36257P, PL, PM, PML-10/12は、32768ワード×8ビット構成の、非同期型シリコンゲートCMOS SRAMである。周辺回路にCMOSを使用して低消費電力化を図っている。パワーダウンおよびダイバース選択用のコントロール信号としてCE1とCE2の2つのチップイネーブル入力を有する。このため、高速、ローパワー、バッテリバックアップを必要とするシステムに最適であり、メモリ容量の拡張も容易である。

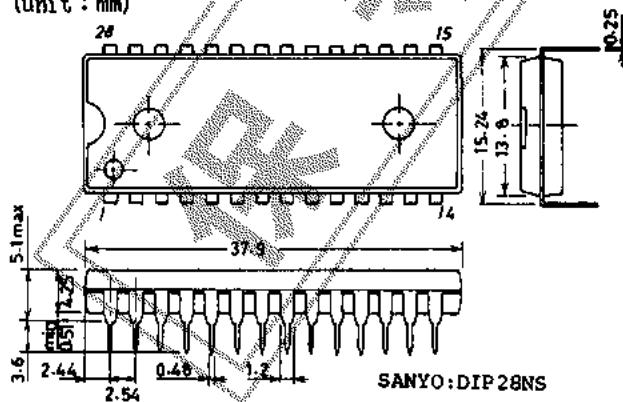
特長

- ・アクセスタイム
LC36257P, PL, PM, PML-10 : 100 ns (max)
LC36257P, PL, PM, PML-12 : 120 ns (max)
- ・低スタンバイ電流
LC36257PL, PML-10/12 : 100 μ A (max)
LC36257P, PM-10/12 : 1mA (max)
- ・5V単一電源 : 5V \pm 10%
- ・データ保持電源電圧 : 2.0~5.5V
- ・クロック不要(完全スタティック回路)。
- ・全入出力レベルTTLコンパチブル。
- ・入出力共通ピン、出力3ステート。
- ・DIP28ピンプラスチックパッケージ。
- ・SOP28ピン(450mil)プラスチックパッケージ。
- ・CE2コントロール端子付き。

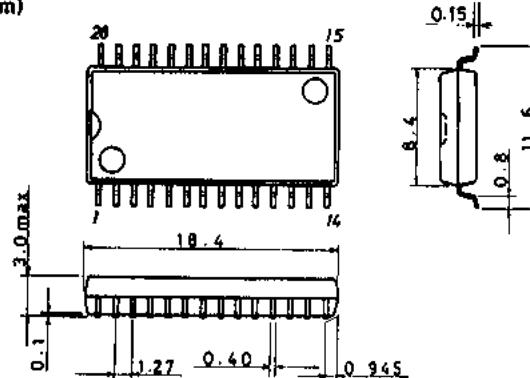
この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

本書記載製品が、外國海關および外國貿易管理法に定める戦略物質(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

外形図 3081 [LC36257P, PL-10/12]
(unit:mm)



外形図 3158 [LC36257PM, PML-10/12]
(unit:mm)

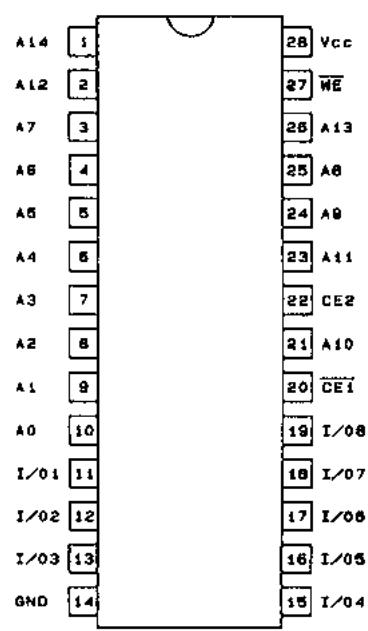


*これらの仕様は、改良などのため変更することがあります。

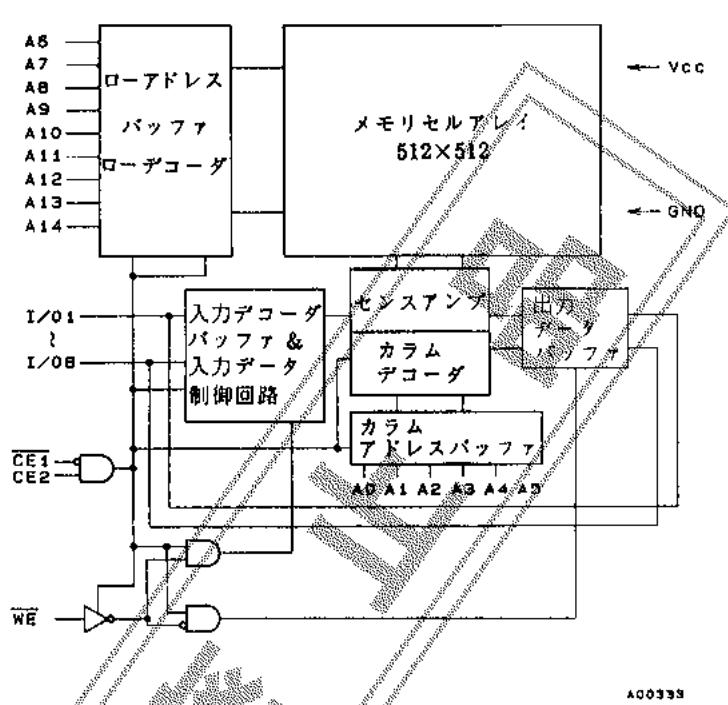
〒370-05 群馬県大泉町坂田180

三洋電機株式会社 半導体事業本部

ピン配置図



ブロック図



ピン名称

- A0~A14 : アドレス入力
- WE : リードライト制御入力
- CE1 : チップイネーブル入力
- CE2 : チップイネーブル入力
- I/O1~I/O8 : データ入出力
- V_{CC}, GND : 電源端子

機能表

モード	CE1	CE2	WE	I/O	電源電流
リードサイクル	L	H	H	データ出力	I _{CCA}
ライトサイクル	L	H	L	データ入力	I _{CCA}
非選択	H	X	X	高インピーダンス	I _{CCS}
非選択	X	L	X	高インピーダンス	I _{CCS}

X : H or L

絶対最大定格

項目	記号	条件	定格値		unit
最大電源電圧	V _{CC} max		7.0		V
入力端子電圧	V _{IN}		-0.5~V _{CC} +0.5		V
I/O端子電圧	V _{I/O}		-0.5~V _{CC} +0.5		V
許容消費電力	P _d max	Ta=70°C	DIP	1.0	W
			SOP	0.7	W
動作周囲温度	T _{opg}		0~+70		°C
保存周囲温度	T _{stg}		-55~+125		°C

DC許容動作範囲 / Ta = 0~+70°C

項目	記号	条件	min	typ	max	unit
電源電圧	V _{CC}		4.5	5.0	5.5	V
入力「H」レベル電圧	V _{IH}		2.2		V _{CC} +0.3	V
入力「L」レベル電圧	V _{IL}		-0.3		0.8	V

DC電気的特性 / Ta = 0~+70°C, V_{CC} = 5.0V ± 10%

項目	記号	条件	min	typ*	max	unit
入力リード電流	I _{LI}	V _{IN} =0~V _{CC}	-1.0		1.0	μA
I/Oリード電流	I _{LO}	V _{CET} =V _{IH} or V _{CET} =V _{IL} or V _{WE} =V _{IL} , V _{I/O} =0~V _{CC}	-1.0		1.0	μA
出力「H」レベル電圧	V _{OH}	I _{OH} =-1.0mA	2.4			V
出力「L」レベル電圧	V _{OL}	I _{OL} =2.1mA			0.4	V
動作時電源電流(DC)	I _{CCA1}	V _{CET} ≤0.2V, V _{CET} ≤V _{CC} -0.2V, I _{LO} =0mA, V _{IN} ≤0.2V or V _{IN} ≥V _{CC} -0.2V			15	mA
	I _{CCA2}	V _{CET} =V _{IL} , V _{CET} =V _{IH} , I _{LO} =0mA, V _{IN} =V _{IH} or V _{IL}			15	mA
平均動作時電源電流	I _{CCA3}	V _{CET} =V _{IL} , V _{CET} =V _{IH} , I _{LO} =0mA, min cycle			70	mA
スタンバイ時電源電流	I _{GCS1}	V _{IN} =0~V _{CC} , V _{CET} ≤0.2V or V _{CET} ≥V _{CC} -0.2V, (V _{CET} ≥V _{CC} -0.2V or) (V _{CET} ≤0.2V)	LC36257PL, PML-10/12	2	100	μA
	I _{GCS2}	V _{CET} =V _{IH} or V _{CET} =V _{IL} , V _{IN} =0~V _{CC}	LC36257P, PM-10/12		1	mA

* V_{CC}=5V, Ta=25°Cにおける参考値

入出力容量 / Ta = 25°C, f = 1MHz

項目	記号	条件	min	typ	max	unit
I/O端子容量	C _{LO}	V _{I/O} =0V			10	pF
入力端子容量	C _{IN}	V _{IN} =0V			5	pF

注)この特性は、放き取り検査によるものである。

AC電気的特性 / Ta = 0~+70°C, V_{CC} = 5.0V ± 10%

ACテスト条件

- 入力パルス電圧レベル : V_{IH}=2.4V
 : V_{IL}=0.6V
 入力立ち上り、立ち下り時間 : 5ns
 入力・出力タイミングレベル : 1.5V
 出力負荷(治具容量を含む) : 1 TTLゲート + C_L=100pF

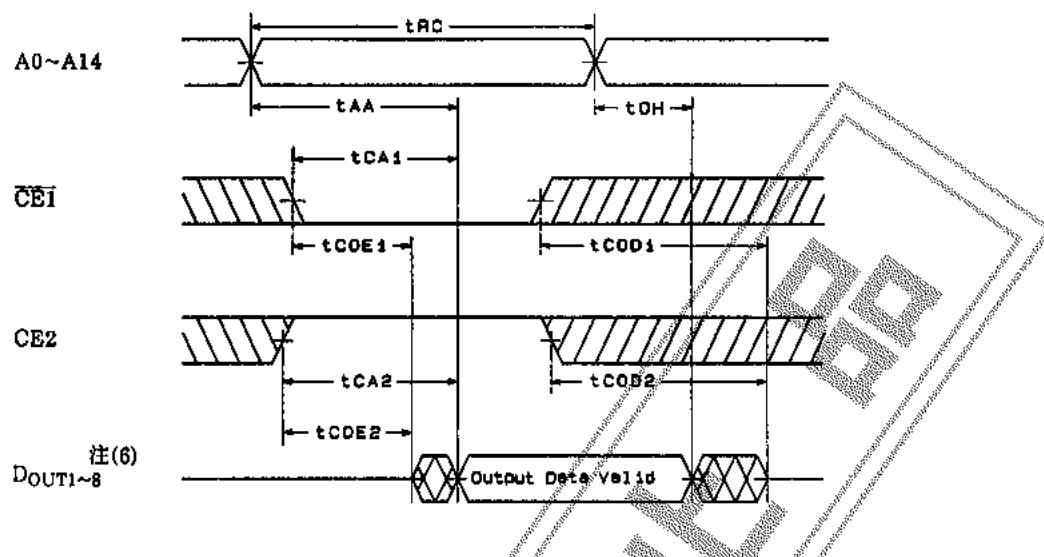
リードサイクル

項目	記号	LC36257P, PL, PM, PML-10		LC36257P, PL, PM, PML-12		unit
		min	max	min	max	
リードサイクル時間	t _{RC}	100		120		ns
アドレスアクセス時間	t _{AA}		100		120	ns
CE1アクセス時間	t _{CA1}		100		120	ns
CE2アクセス時間	t _{CA2}		100		120	ns
出力ホールド時間	t _{OH}	10		10		ns
CE1出力イネーブル時間	t _{COE1}	10		10		ns
CE2出力イネーブル時間	t _{COE2}	10		10		ns
CE1出力ディセーブル時間	t _{COD1}		35		40	ns
CE2出力ディセーブル時間	t _{COD2}		35		40	ns

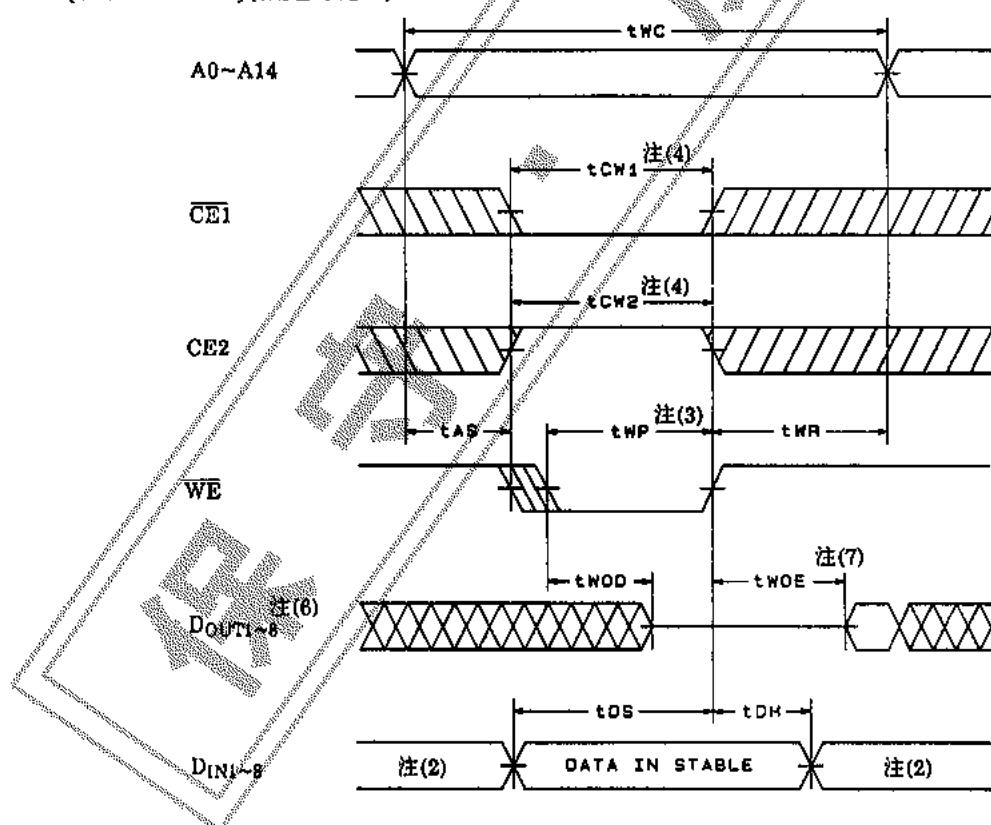
ライトサイクル

項目	記号	LC36257P, PL, PM, PML-10		LC36257P, PL, PM, PML-12		unit
		min	max	min	max	
ライトサイクル時間	t _{WC}	100		120		ns
アドレスセットアップ時間	t _{AS}	0		0		ns
ライトパルス幅	t _{WP}	70		80		ns
CE1セットアップ時間	t _{CW1}	80		90		ns
CE2セットアップ時間	t _{CW2}	80		90		ns
ライトリカバリー時間(WE)	t _{WR}	0		0		ns
ライトリカバリー時間(CE1)	t _{WR1}	0		0		ns
ライトリカバリー時間(CE2)	t _{WR2}	0		0		ns
データセットアップ時間	t _{DS}	40		50		ns
CE1データセットアップ時間	t _{DS1}	40		50		ns
CE2データセットアップ時間	t _{DS2}	40		50		ns
データホールド時間	t _{DH}	0		0		ns
CE1データホールド時間	t _{DH1}	0		0		ns
CE2データホールド時間	t _{DH2}	0		0		ns
WE出力イネーブル時間	t _{WOE}	10		10		ns
WE出力ディセーブル時間	t _{WOD}		35		40	ns

タイミング図
[リードサイクル] 注(1)

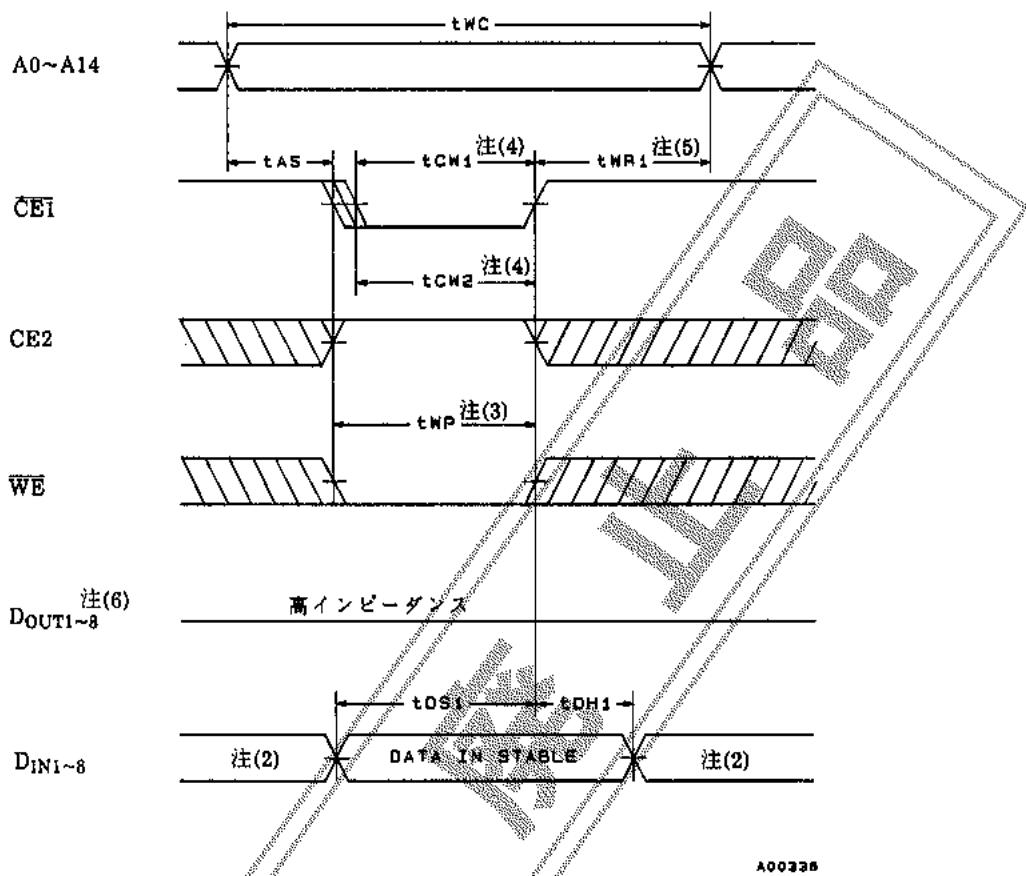


[ライトサイクル] (WE書き込み)

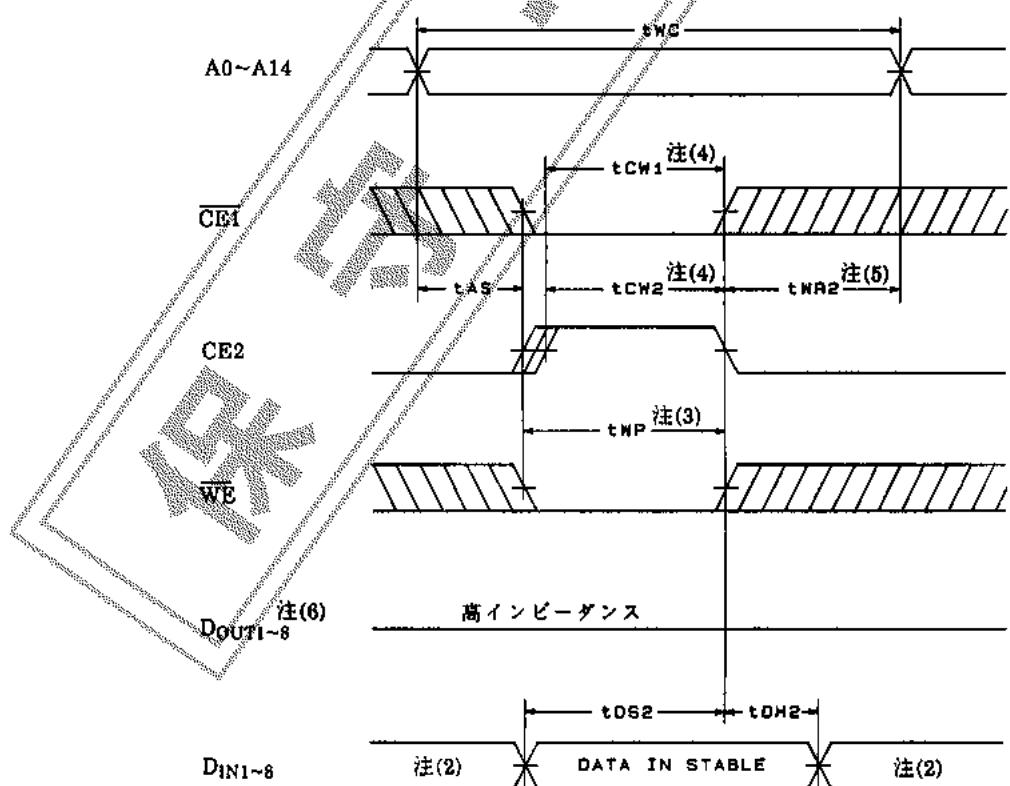


A00335

[ライトサイクル2](CE1書き込み)



[ライトサイクル3](CE2書き込み)



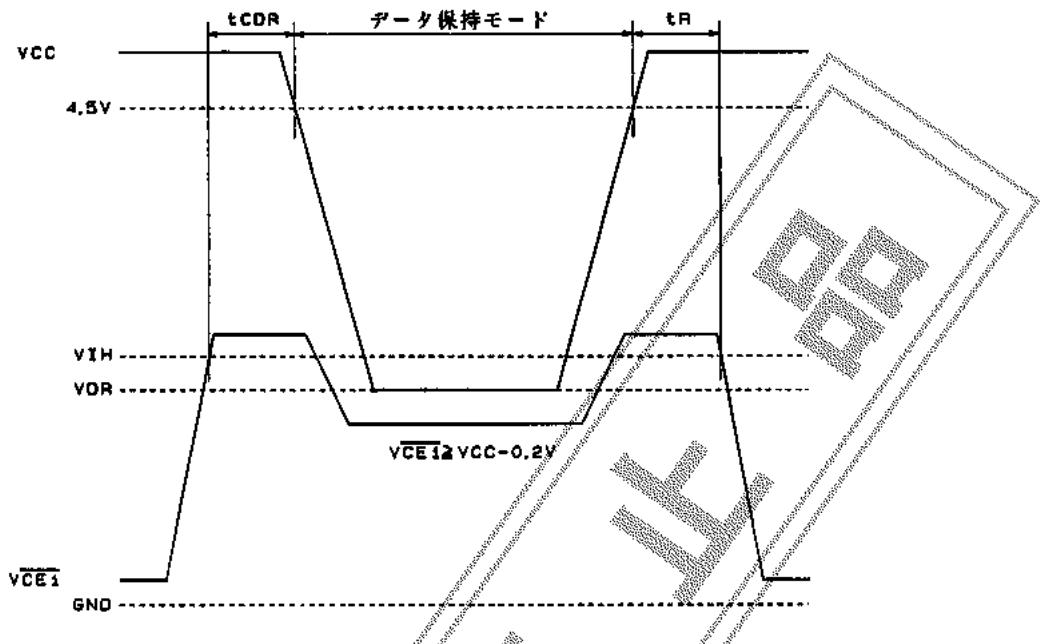
- 注) : (1) リードサイクル中、WEは高レベルにしておく。
 (2) D_{OUT}が出力状態にある時、外部から逆位相の信号を印加してはならない。
 (3) t_{CW1}は、CE1, WEが低レベルかつ、CE2が高レベルの期間であり、WEの立ち下がりからCE1, WEの立ち上がり、またはCE2の立ち下がりのいずれか早い方までの時間で、定義される。
 (4) t_{CW1}, t_{CW2}は、CE1, WEが低レベル、CE2が高レベルの期間であり、CE1の立ち下がり、あるいはCE2の立ち上がりからCE1, WEの立ち上がり、あるいはCE2の立ち下がりのいずれか早い方までの時間で、定義される。
 (5) t_{WR1}, t_{WR2}は、CE1の立ち上がりから、CE2の立ち下がりのいずれか早い方からライトサイクルの終わりまでの時間で定義される。
 (6) CE1が高レベル、CE2が低レベル、WEが低レベルのいずれかの状態でもD_{OUT}は、高インピーダンス状態になる。
 (7) D_{OUT}は、このライトサイクルの書き込みデータと同位相である。

データ保持特性 / Ta=0~+70°C

項目	記号	条件	min	typ *	max	unit
データ保持電源電圧	V _{DR}	V _{CE1} ≥ V _{CC} - 0.2V, V _{CE2} ≤ 0.2V	2.0		5.5	V
データ保持電流電流	I _{CCDR1}	V _{CC} =3.0V, V _{CE1} ≥ V _{CC} - 0.2V, {V _{CE2} ≥ V _{CC} - 0.2V or V _{CE2} ≤ 0.2V}	LC36257PL, PML-10/12		1.0	μA
			LC36257P, PM-10/12		500	μA
チップイネーブル セットアップ時間	I _{CCDR2}	V _{CC} =3.0V, V _{CE2} ≤ 0.2V	LC36257PL, PML-10/12		1.0	μA
			LC36257P, PM-10/12		500	μA
チップイネーブル ホールド時間	t _{CDR}			0		ns
	t _R			** t _{RC}		ns

* T_U=25°Cにおける参考値** t_{RC}=リードサイクル時間

データ保持波形1(CE1コントロール)



データ保持波形2(CE2コントロール)

