

SANYO**三洋半導体開発ニュース**

No.※5723

33197

LE28FV4001AM, ATS, ARS-20

CMOS LSI

4M (524288ワード×8ビット)フラッシュメモリ**製品規格****概要**

LE28FV4001AM, ATS, ARSは、524288ワード×8ビット構成のオンボード書換え可能な、3.3V単一電源動作によるフラッシュメモリである。周辺CMOS回路の採用により、高速、低消費電力の使いやすさを実現している。また、セクター(256バイト)消去機能により、高速なデータ書換えが可能である。

特長

- ・高信頼性2層ポリシリコンCMOSフラッシュ EEPROMプロセスを使用している。

- ・3.3V単一電源によるリード/ライト動作が可能である。

- ・高速アクセス時間 : 200ns

- ・低消費電力

- 動作電流(リード) : 10mA (max)

- スタンバイ電流 : 20 μ A (max)

- ・高信頼性リード/ライト

- セクターライト回数 : 10⁴回

- データ保持期間 : 10年

- ・アドレス/データラッチ

- ・セクター消去機能 : 256バイト/セクター

- ・セルフタイム消去/プログラム

- ・バイトプログラム時間 : 35 μ s (max)

- ・ライト終了検知機能 : ドブルビット/Dataポーリング

- ・ハードウェアおよびソフトウェアによるデータ保護機能

- ・JEDEC Byte-Wide EEPROM Standardに準拠したピン配置である。

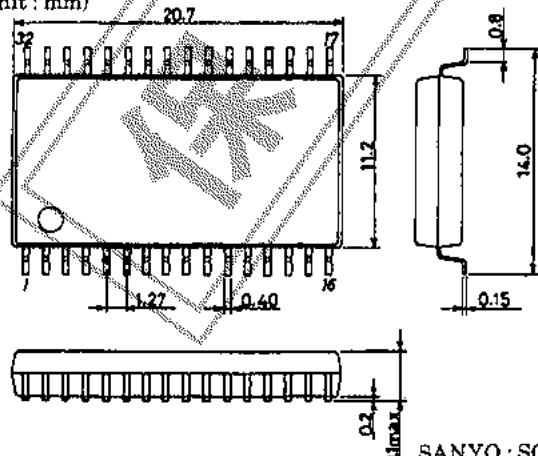
- ・パッケージ

SOP32ピン (525mil) プラスチックパッケージ : LE28FV4001AM

TSOP32ピン (8×14mm) プラスチックパッケージ ノーマル : LE28FV4001ATS

TSOP32ピン (8×14mm) プラスチックパッケージ リバース : LE28FV4001ARS

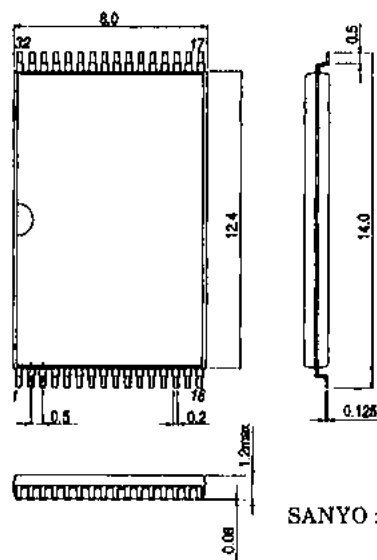
外形図 3205
(unit: mm)



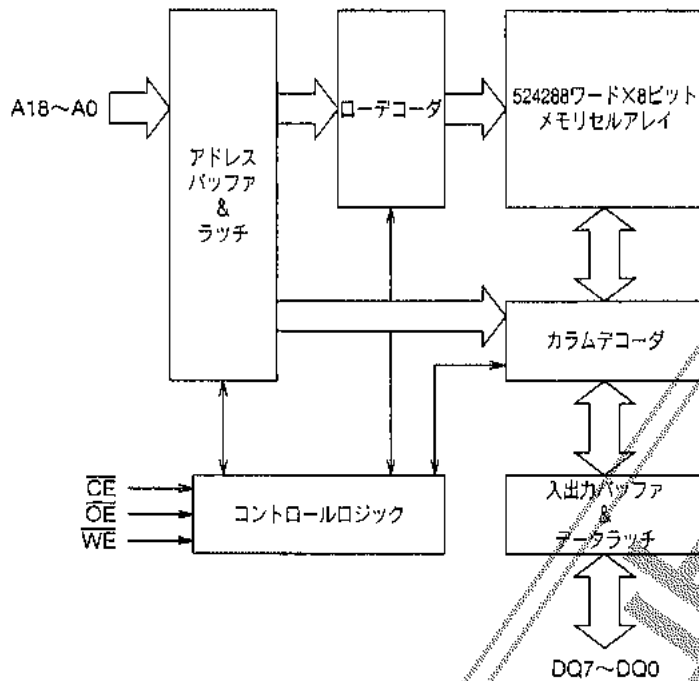
SANYO: SOP32

この製品は米国SST社 (Silicon Storage Technology, Inc.) のライセンスを受け三洋電機株式会社で製造、販売するものです。

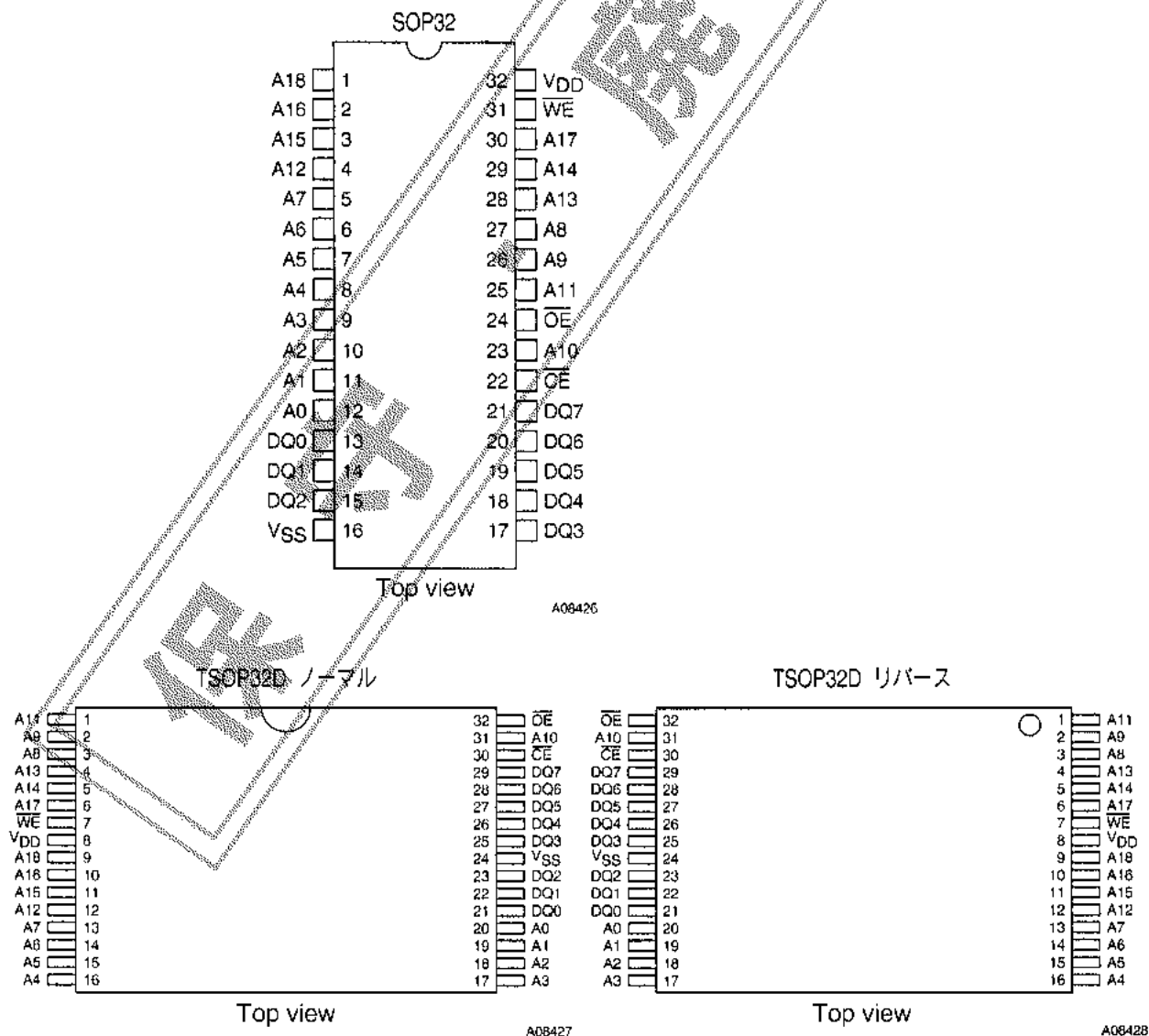
外形図 3228
(unit: mm)

SANYO: TSOP32D
(タイプ-I)

ブロック図



ピン配置図



端子説明

ピン名	タイプ	機能説明
A18~A0	アドレス入力	メモリにアドレスを供給する。 ライトサイクルではアドレスは内部にラッチされる。
DQ7~DQ0	データ入力/出力	リードサイクルではデータを出しライトサイクルではデータを入力する。 ライトサイクルではデータは内部でラッチされる。 $\overline{OE}$ または $\overline{CE}$ が「H」レベルのとき出力は、高インピーダンス状態である。
$\overline{CE}$	チップイネーブル	$\overline{CE}$ が「L」レベルの時デバイスをアクティブにする。 $\overline{CE}$ が「H」レベルの時デバイスを非選択にしスタンバイ状態となる。
$\overline{OE}$	アウトプットイネーブル	データ出力バッファをアクティブにする。 $\overline{OE}$ は低アクティブである。
$\overline{WE}$	ライトイネーブル	ライト動作をアクティブにする。 $\overline{WE}$ は低アクティブである。
VDD	電源	3.3V $\pm$ 0.3Vを供給する。
VSS	接地	
N.C.	ノーコネクション	内部チップと接続されていない。

機能論理

モード	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A18~A0	DQ7~DQ0
リード	V _{IL}	V _{IL}	V _{IH}	A _{IN}	D _{OUT}
ライト	V _{IL}	V _{IH}	V _{IL}	A _{IN}	D _{IN}
スタンバイ/ライトインビット	V _{IH}	X	X	X	High-Z
ライトインビット	X	V _{IL}	X	X	High-Z/D _{OUT}
	X	X	V _{IH}	X	High-Z/D _{OUT}
製品識別	V _{IL}	V _{IL}	V _{IH}	A18~A10=V _{IL} , A8~A1=V _{IL} , A9=12V, A0=V _{IL}	製造者コード (BF)
	V _{IL}	V _{IL}	V _{IH}	A18~A10=V _{IL} , A8~A1=V _{IL} , A9=12V, A0=V _{IH}	デバイスコード (04)

コマンド設定

コマンド	要求 サイクル	セットアップコマンドサイクル			実行コマンドサイクル			SDP
		動作	アドレス	データ	動作	アドレス	データ	
セクター消去	2	ライト	X	20	ライト	セクター アドレス	D0	N
バイトプログラム	2	ライト	X	10	ライト	プログラム アドレス	プログラム データ	N
リセット	1	ライト	X	FF				Y
ソフトウェア製品識別	3	ライト	X	90	リード	(7)	(7)	Y
ソフトウェアデータ アンプロテクト	7	図9参照						
ソフトウェアデータ プロテクト	7	図10参照						

コマンド設定の説明

1. X=「H」または「L」
2. セクターアドレス=A18~A8, セクターサイズは256バイト, セクター消去動作時はA7~A0=X
3. プログラムアドレス=A18~A0
4. データは16進表記
5. SDPは7バイトのリードサイクルシーケンスを使用するソフトウェアデータプロテクトを意味する。
Y=ソフトウェアデータプロテクトが有効な時でも実行可能
N=ソフトウェアデータプロテクトが有効な時は実行不可能
6. 図9 および 図10に7バイトリードサイクルシーケンスによるソフトウェアデータプロテクト動作を示す。
7. アドレスが0000の時は製造者コード (BF) を、0001の時はデバイスコード (04) を出力する。

製品概要

LE28FV4001AM, ATS, ARSは524288ワード×8ビット構成のセクター消去およびバイトプログラム可能なフラッシュメモリである。3.3V単一電源での消去およびプログラムが可能であり、JEDEC標準のバイトワイドメモリのピン配置に準拠し、工業標準のEPROM、フラッシュEPROMおよびEEPROMとピンコンパチブルである。

LE28FV4001AM, ATS, ARSのバイトプログラム時間は最大で35 μ s、セクター消去時間は最大で4msである。プログラムと消去は共にライトサイクルの終了を示すためのトリグルビットやDataボーリング機能を用いて最適化できる。不用意な書き込みに対するデータ保護のために、ハードウェアおよびソフトウェアのデータ保護方式を持つ。

LE28FV4001AM, ATS, ARSはセクター単位での書換えを10'回保証する。データ保持期間は10年以上である。

2ページにLE28FV4001AM, ATS, ARSの機能ブロック図とTSOP32ピンおよびSOP32ピンのパッケージのピン配置を示す。端子説明およびコマンド設定を3ページに示す。

デバイス動作

コマンドはデバイスのメモリ動作機能を実現するために用いられる。コマンドは、マイクロプロセッサの標準的なライトタイミングによってコマンドレジスタに書き込まれる。コマンドは $\overline{CE}$ を「L」レベルに保持している間の $\overline{WE}$ の「L」レベルによりライトされる。アドレスは $\overline{WE}$ 、 $\overline{CE}$ の立下りのいずれか遅い方でラッチされる。データは $\overline{WE}$ 、 $\overline{CE}$ の立上りのいずれか早い方でラッチされる。しかしながら、ソフトウェアライトプロテクトシーケンスの間はアドレスは $\overline{OE}$ 、 $\overline{CE}$ 立上りのいずれか早い方でラッチされる。

コマンド定義

3ページの"コマンド設定"はコマンドのリストと概要である。その機能の詳細な説明を次に示す。

LE28FV4001AM, ATS, ARSのバイトプログラムまたは消去の機能を実行するためには、その前にソフトウェアデータアンプロテクトをしなければならない。

1. セクター消去動作

セクター消去動作は、セットアップコマンドと実行コマンドから構成される。セットアップコマンドは、デバイスをセクター内の全バイトに電気的な消去ができる状態にするものである。1セクターは256バイトで構成される。ほとんどのアプリケーションでは、チップ全体ではなくセクター単位の消去が要求されるため、このセクター消去機能は、LE28FV4001AM, ATS, ARSの自由度と、使いやすさを向上させている。セットアップコマンドは、コマンドレジスタに(20H)を書込むことにより実行される。

セクター消去動作を実行するには、コマンドレジスタへ実行コマンド(D0H)を書込まなければならない。セクター消去動作は $\overline{WE}$ パルスの立上りエッジで始まり、内部タイマ制御で自動的に終了する。図6にタイミング波形を示す。

セットアップとそれに続く実行による、この二段階のシーケンスは、アドレスで指定されたセクターのメモリの内容が偶発的に消去されないことを保証する。

2. セクター消去フローチャートの説明

256バイト以内のメモリ内容の消去は、図1に示すセクター消去フローチャートによって実現される。処理全体は、2つのコマンドの実行で構成されている。セクター消去動作は最大4msで終了する。リセットコマンドの実行により消去動作を終了させることができるが、消去動作を4msのタイムアウト時間よりも前に終了させた場合、そのセクターは完全に消去できていない恐れがある。消去コマンドは消去が完了するまで何度でも必要なだけ再実行することができる。LE28FV4001AM, ATS, ARSでは過剰消去はおこらない。

3. バイトプログラム動作

バイトプログラム動作は、セットアップコマンド(10H)のライトにより開始される。

ひとたびプログラムのセットアップが行われると、実行コマンドは、次の $\overline{WE}$ パルスの遷移によって開始される。図7にタイミング波形を示す。アドレスは $\overline{WE}$ パルスの立下り時に、データは立上り時に各々内部にラッチされる。 $\overline{WE}$ の立上りは、プログラミング動作の始まりでもある。プログラミング動作は内部タイマの制御で自動的に終了する。プログラム特性と波形を図2および図7に示す。

前述のように、セットアップとそれに続く実行によるこの二段階のシーケンスは、メモリセルが偶発的にプログラムされないことを保証する。

4. バイトプログラミングフローチャートの説明

デバイスへのデータのプログラミングは図2に示すバイトプログラムフローチャートによって実現される。バイトプログラムコマンドは書き込みのためのバイトをセットアップする。アドレスバスは $\overline{WE}$ または $\overline{CE}$ の立下りのいずれか遅い方でラッチされる。データバスは $\overline{WE}$ または $\overline{CE}$ の立上りのいずれか早い方でラッチされ、プログラム動作が開始される。ライトの終了はDataボーリングもしくはトリグルビットのどちらかを用いても検知することができる。

5. リセット動作

リセットコマンドは、消去またはプログラムコマンドのシーケンスを安全に終了するための手段である。消去またはプログラムのセットアップコマンドに引き続いて (FFH) を書込むと、動作は安全に中止される。メモリの内容は、変えられることはない。リセットコマンドの後、デバイスはリードモードになる。リセットコマンドではソフトウェアデータプロテクトを活性化できない。タイミング波形を図8に示す。

6. リード動作

リード動作は $\overline{CE}$ 、 $\overline{OE}$ そして $\overline{WE}$ をリードモードにセットすることにより行われる。リードメモリのタイミング波形を図3、リードモード条件を“機能論理”に示す。ホストからのリードサイクルはメモリアレイのデータを検索する。デバイスはコマンドレジスタの内容が書換えられるまでリード状態のままである。

電源が投入されてからコマンドレジスタの内容が書換えられるまでデバイスはデフォルトでリードとなり、ライトプロテクト状態である。ライト動作 (消去およびプログラム) を実行するにはアンブロテクトを実行しなければならない。

リード動作は $\overline{CE}$ と $\overline{OE}$ によって制御され、リード機能を活性化するためには両方とも「L」レベルにしなければならない。 $\overline{CE}$ が「H」レベルの時、チップは非選択状態であり、スタンバイ電流のみが消費される。 $\overline{OE}$ は出力端子の制御を行う。 $\overline{CE}$ または $\overline{OE}$ のいずれかが「H」レベルであればデバイスの出力端子は高インピーダンス状態となる。

7. ソフトウェア製品識別動作

ソフトウェア製品識別動作は単一のコマンド (90H) より構成される。アドレス番地 (0000H) からのリード動作は、製造者コード (BFH) を出力する。アドレス番地 (0001H) からのリード動作は、デバイスコード (04H) を出力する。動作を終了するにはコマンドレジスタに他の有効なコマンドを書込めばよい。

不用意な書き込みからのデータ保護

不揮発性データを保護するために、LE28FV4001AM, ATS, ARSはシステムの電源投入、遮断期間などに生じるデバイスの不用意な書き込みを防げるハードウェアおよびソフトウェア的な機能を有している。

1. ハードウェアデータ保護

LE28FV4001AM, ATS, ARSは不用意な書き込みを防げるハードウェア機能が内蔵されている。

- ライトインヒビットモード: $\overline{OE}$ が「L」レベル、 $\overline{CE}$ が「H」レベル、 $\overline{WE}$ が「H」レベルのいずれかであればライト動作は禁止される。
- ノイズ/グリッジ保護: 15ns以下の $\overline{WE}$ へのパルスではライト動作はしない。
- 設計的に電源投入時にデフォルトをリードモードにすることによりLE28FV4001AM, ATS, ARSは不用意な消去、プログラムの可能性を最小にしている。

2. ソフトウェアデータ保護

前述のように、ソフトウェアによって、より一層不用意な書き込みを防止できるように設計されている。セクター消去、プログラムを実行しようとした時、セクターまたはデバイスのセルに対する不用意な消去、プログラムを避けるために、ユーザは実行コマンドとそれに先立つセットアップコマンドの二段階のシーケンスを実行しなければならない。

LE28FV4001AM, ATS, ARSは電源投入後はデフォルトでライトプロテクト状態になる。デバイスは7回の特定アドレスの連続的なリードでアンブロテクト状態になる。その一連のアドレスは1823H, 1820H, 1822H, 0418H, 041BH, 0419H, 041AHである。アドレスは $\overline{OE}$ または $\overline{CE}$ の立上りのいずれか早い方でラッチされる。同様に1823H, 1820H, 1822H, 0418H, 041BH, 0419H, 040AHの7回の連続的なリードでデバイスはプロテクト状態になる。図9と図10に7-read-cycle-sequenceのソフトウェアデータ保護波形を示す。入出力ピンはどのような状態にもなる (high, low または High-Z)。

ライト動作終了の検知

デバイスの性能を最大限に引き出すためには、プログラムサイクルの終了を検知する必要がある。プログラムサイクルの終了は、Dataポーリングとトグルビットによって検知することが可能である。以下に、これら2種類の検知メカニズムについて説明する。

実際の不揮発メモリへのライトの完了はシステムとは非同期である。したがって、Dataポーリングおよびトグルビットによる読出しはいずれもライトサイクルの終了と同時にとなる恐れがある。このような場合、システムは誤った結果を得ることがある。すなわち、有効なデータがDQ7とDQ6のいずれか一方と矛盾しているように見える。疑似リジェクトを防止するために、誤った結果が生じた場合、ソフトウェアのルーチンはアクセスした場所に更に2回リードするためのループを含むようにすべきである。もし2回の読出しが共に有効なデータならば、この時デバイスはライトサイクルを終了している。それ以外の場合のリジェクトは正しい。

1. Dataポーリング (DQ7)

LE28FV4001AM, ATS, ARSはプログラムサイクルの終了を検知するDataポーリング機能を有している。プログラムサイクル中では、DQ7には最後にロードされたデータの逆データが読出される。プログラムサイクルが終了するとDQ0~DQ6と同じようにDQ7は最後にロードされたデータが読出される。図11にタイミングダイアグラムを示す。Dataポーリングを正しく機能させるためには、プログラムを行う前に消去を必ず行わなければならない。

2. トグルビット (DQ6)

もうひとつの消去およびプログラムサイクルの終了を検知する方法としてDQ6のトグルビットがある。消去またはプログラム動作中、DQ6には“0”データと“1”データが交互に連続して読出される(“0”と“1”の間をトグルリングする)。消去およびプログラムサイクルが終了するとトグルリングは停止し、通常のリードサイクルとなる。トグルビットは、消去またはプログラムサイクル中のいつでもモニタすることができる。図12に、トグルビットのタイミングダイアグラムを示す。

3. 連続的な読出し

もうひとつの消去およびプログラムサイクルの終了を検知する方法としては同じアドレスをリードして2つの連続したデータの一致を見る方法がある。

製品識別

製品識別リードはデバイス名と製造者が三洋であることを確認するためのモードである。このモードはハードウェアおよびソフトウェア的な動作によりアクセスできる。ハードウェア的な動作は通常、LE28FV4001AM, ATS, ARSの正しいアルゴリズムを認識するためのROMライタが用いられる。ユーザにはデバイスを認識するためにはソフトウェア的な動作を用いることを推奨する。“機能論理”にハードウェア動作の詳細を示す。製造者およびデバイスコードは同じ動作で実行される。

デカップリングコンデンサ

フラッシュメモリを安定に動作させるために、V_{DD}-V_{SS}間に0.1μFのセラミックコンデンサをデバイス毎に付加すること。

絶対最大定格

項 目	記 号	定格値	unit	注
電源電圧	V_{DD}	$-0.5 \sim +6.0$	V	1
入力端子電圧	V_{IN}	$-0.5 \sim V_{DD} + 0.5$	V	1, 2
DQ端子電圧	V_{DQ}	$-0.5 \sim V_{DD} + 0.5$	V	1, 2
A9端子電圧	V_{A9}	$-0.5 \sim +14.0$	V	1, 3
許容消費電力	$P_{d\ max}$	600	mW	1, 4
動作周囲温度	T_{opr}	$0 \sim +70$	°C	1
保存周囲温度	T_{stg}	$-65 \sim +150$	°C	1

注1) 絶対最大定格以上のストレスが印加された場合、破壊を起こす恐れがある。

- 2) パルス幅20ns未満の場合は $-1.0V \sim V_{DD} + 1.0V$
 3) パルス幅20ns未満の場合は $-1.0V \sim V_{DD} + 14.0V$
 4) $T_a = 25^\circ C$

DC許容動作範囲 / $T_a = 0 \sim +70^\circ C$

項 目	記 号	min	typ	max	unit
電源電圧	V_{DD}	3.0	3.3	3.6	V
入力「L」レベル電圧	V_{IL}			0.6	V
入力「H」レベル電圧	V_{IH}	2.0			V

DC電氣的特性 / $T_a = 0 \sim +70^\circ C$, $V_{DD} = 3.3V \pm 0.3V$

項 目	記 号	条 件	min	typ	max	unit
リード時動作電流	I_{DDR}	$\overline{CE} = \overline{OE} = V_{IL}$, $WE = V_{IH}$, 全てのDQは開放, アドレス入力 = V_{IH}/V_{IL} , 動作周波数 = $1/t_{RC}(\min)$, $V_{DD} = V_{DD\ max}$			10	mA
ライト時動作電流	I_{DDW}	$\overline{CE} = \overline{WE} = V_{IL}$, $\overline{OE} = V_{IH}$, $V_{DD} = V_{DD\ max}$			25	mA
TTLスタンバイ電流	I_{SB1}	$\overline{CE} = V_{IH}$, $V_{DD} = V_{DD\ max}$			1	mA
CMOSスタンバイ電流	I_{SB2}	$\overline{CE} = V_{DD} - 0.3V$, $V_{DD} = V_{DD\ max}$			20	μA
入力リーク電流	I_{LI}	$V_{IN} = V_{SS} \sim V_{DD}$, $V_{DD} = V_{DD\ max}$			10	μA
出力リーク電流	I_{LO}	$V_{IN} = V_{SS} \sim V_{DD}$, $V_{DD} = V_{DD\ max}$			10	μA
出力「L」レベル電圧	V_{OL}	$I_{OL} = 100\mu A$, $V_{DD} = V_{DD\ min}$			0.4	V
出力「H」レベル電圧	V_{OH}	$I_{OH} = -100\mu A$, $V_{DD} = V_{DD\ min}$	2.4			V

入出力容量 / $T_a = 25^\circ C$, $V_{DD} = 3.3V \pm 0.3V$, $f = 1MHz$

項 目	記 号	条 件	max	unit
入出力容量	C_{DQ}	$V_{DQ} = 0V$	12	pF
入力容量	C_{IN}	$V_{IN} = 0V$	6	pF

この項目は抜取り検査のみで、全数検査は行っていない。

電源投入タイミング

項 目	記 号	max	unit
電源投入からリード動作までの時間	$t_{PU-READ}$	10	ms
電源投入からライト動作までの時間	$t_{PU-WRITE}$	10	ms

AC電気的特性 / $T_a = 0 \sim +70^{\circ}\text{C}$, $V_{DD} = 3.3\text{V} \pm 0.3\text{V}$

ACテスト条件 (図13参照)

入力立上り/立下り時間 10ns

出力負荷 1TTLゲート+30pF

リードサイクル

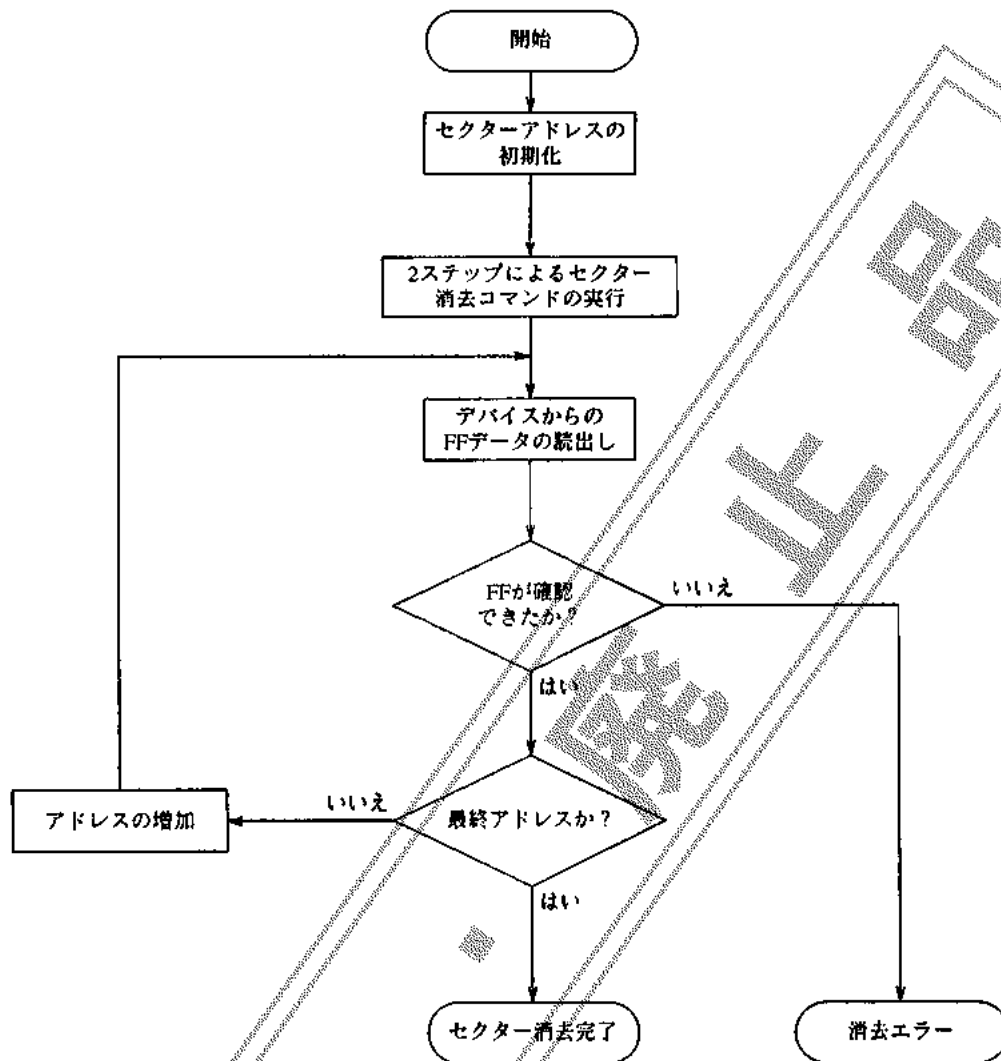
項 目	記号	min	max	unit
リードサイクル時間	t_{RC}	200		ns
$\overline{CE}$ アクセス時間	t_{CE}		200	ns
アドレスアクセス時間	t_{AA}		200	ns
$\overline{OE}$ アクセス時間	t_{OE}		100	ns
$\overline{CE}$ からの出力低インピーダンス時間	t_{CLZ}	0		ns
$\overline{OE}$ からの出力低インピーダンス時間	t_{OLZ}	0		ns
$\overline{CE}$ からの出力高インピーダンス時間	t_{CHZ}		60	ns
$\overline{OE}$ からの出力高インピーダンス時間	t_{OHZ}		60	ns
アドレスからの出力有効時間	t_{OH}	0		ns

消去/プログラミングサイクル

項 目	記号	min	max	unit
セクター消去サイクル時間	t_{SE}		4	ms
バイトプログラミングサイクル時間	t_{BP}		35	μs
アドレスセットアップ時間	t_{AS}	0		ns
アドレスホールド時間	t_{AH}	50		ns
$\overline{CE}$ および $\overline{WE}$ セットアップ時間	t_{CS}	0		ns
$\overline{CE}$ および $\overline{WE}$ ホールド時間	t_{CH}	0		ns
$\overline{OE}$ セットアップ時間	t_{OES}	10		ns
$\overline{OE}$ ホールド時間	t_{OEH}	10		ns
$\overline{CE}$ パルス幅	t_{CP}	100		ns
$\overline{WE}$ パルス幅	t_{WP}	100		ns
$\overline{WE}$ 待機パルス幅	t_{WPH}	50		ns
$\overline{CE}$ 待機パルス幅	t_{CPH}	50		ns
データセットアップ時間	t_{DS}	50		ns
データホールド時間	t_{DH}	10		ns
リセットリカバリー時間	t_{RST}		4	μs
プロテクト時の $\overline{CE}$ パルス幅	t_{PCP}	100		ns
プロテクト時の $\overline{CE}$ ホールド時間	t_{PCH}	150		ns
プロテクト時のアドレスセットアップ時間	t_{PAS}	30		ns
プロテクト時のアドレスホールド時間	t_{PAH}	100		ns

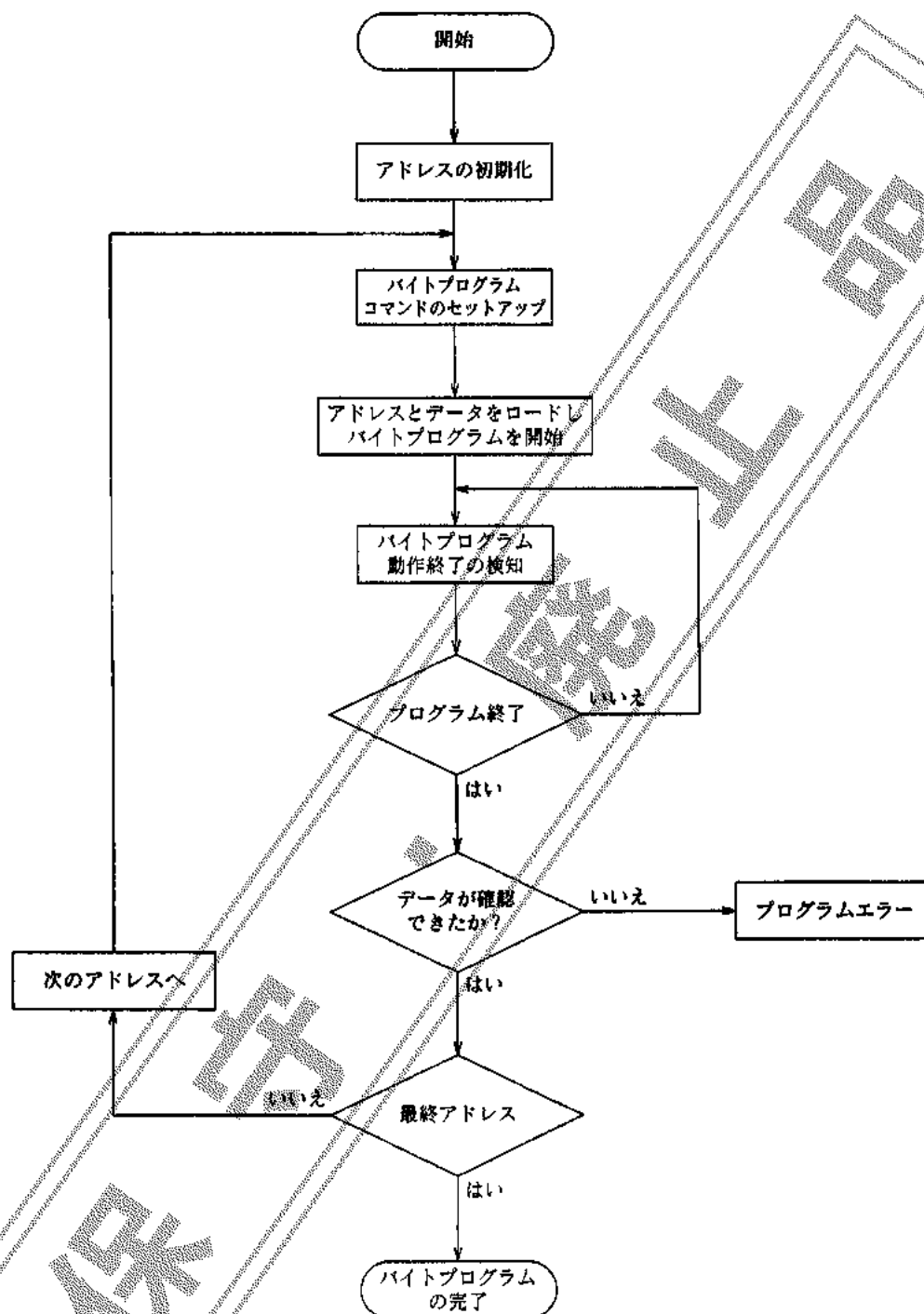
注: 全ての信号はセットアップおよびホールド時間中において有効な論理レベルを保たなければならない。

図1: セクター消去フローチャート



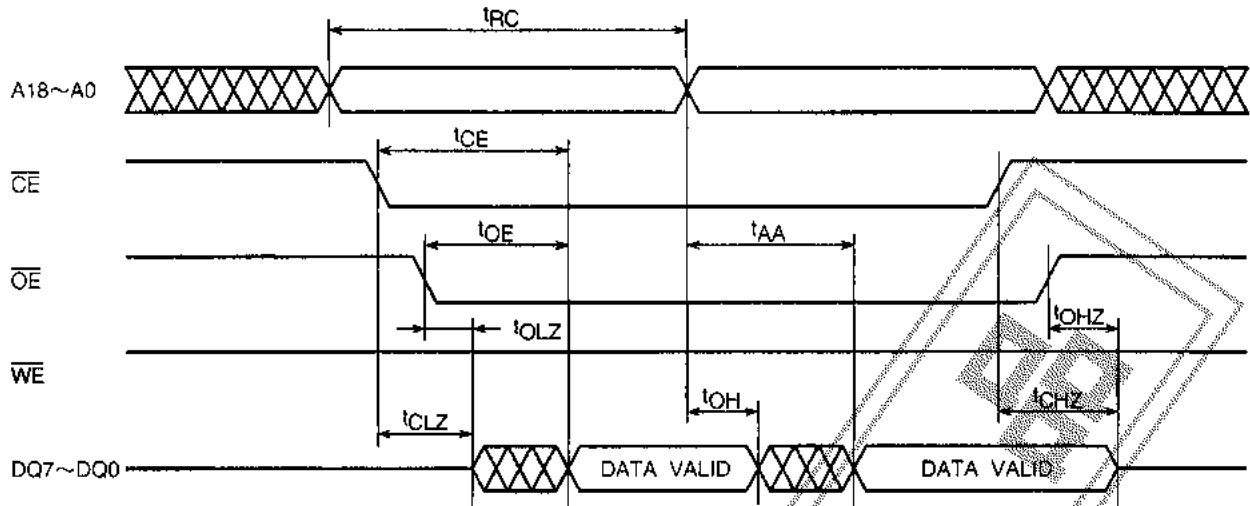
A08429

図2: バイトプログラムフローチャート

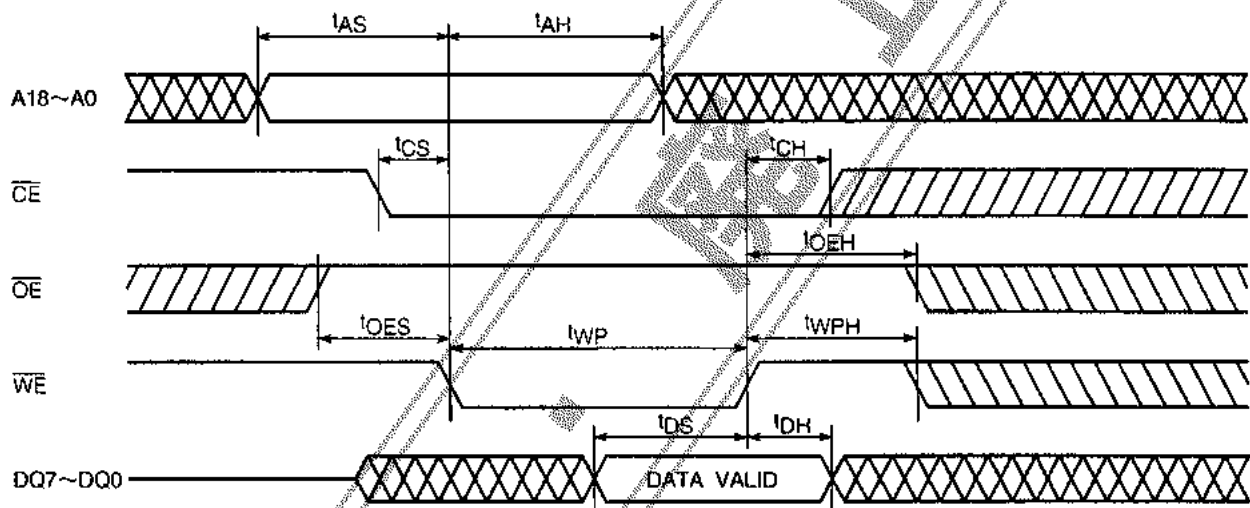


A08430

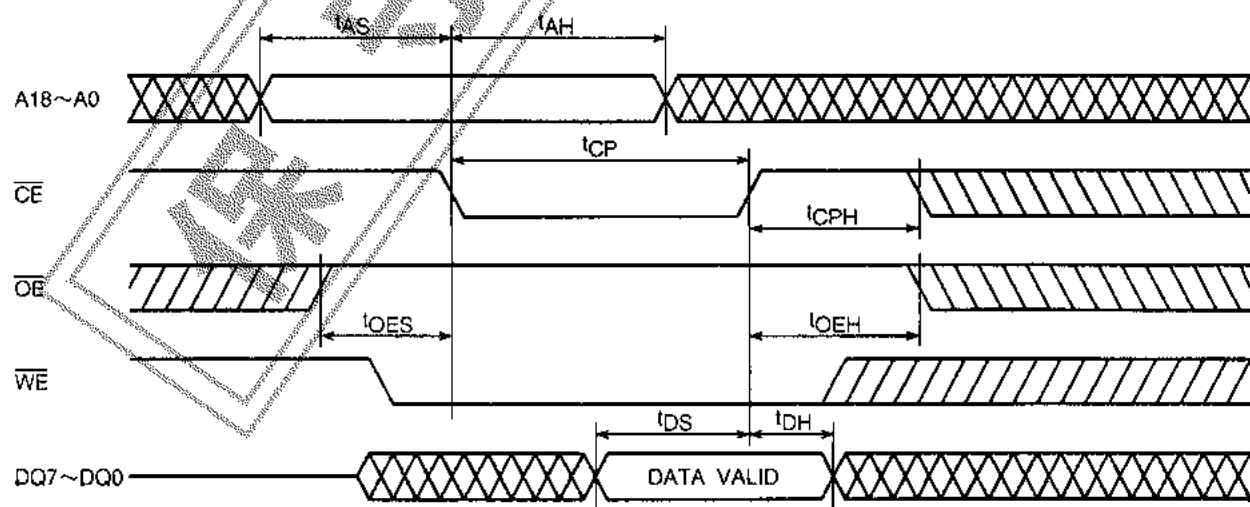
図3: リードサイクル



A08431

図4: $\overline{WE}$ コントロールライトサイクル

A08432

図5: $\overline{CE}$ コントロールライトサイクル

A08433

図6: セクター消去

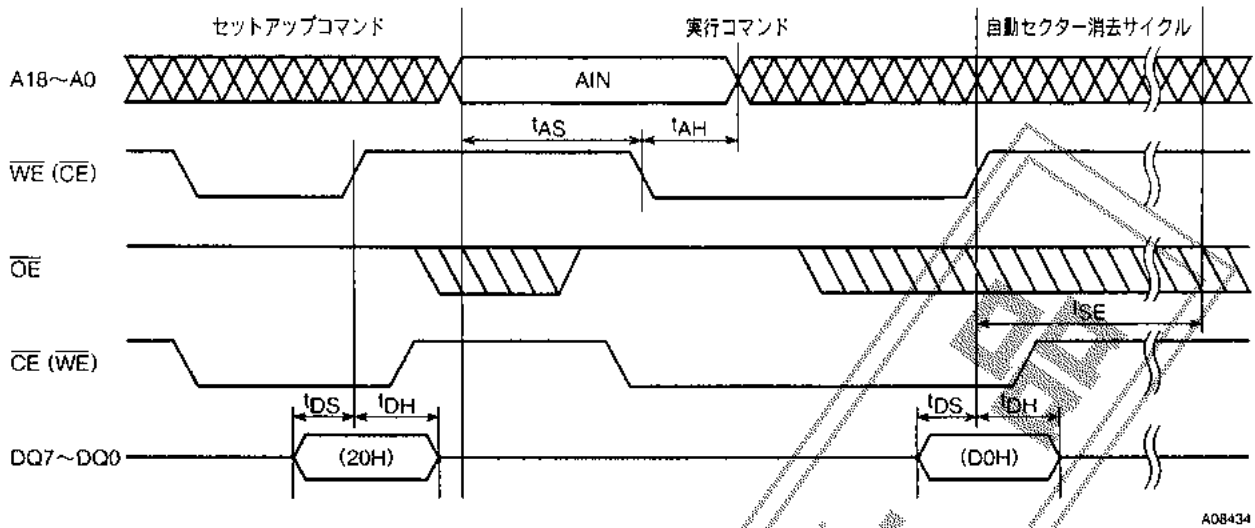


図7: バイトプログラム

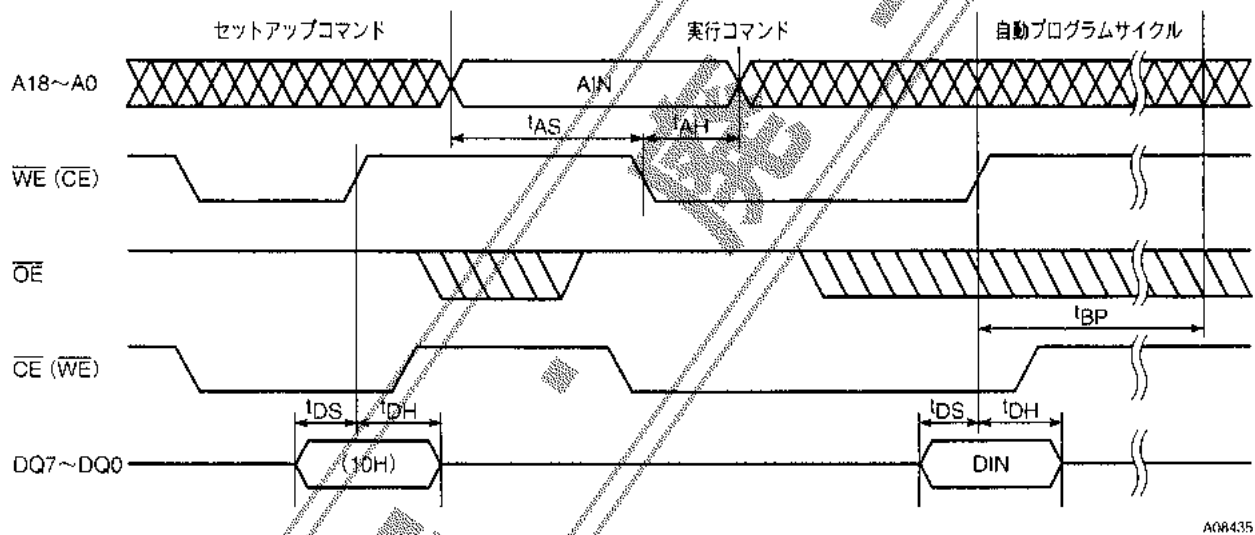


図8: リセット

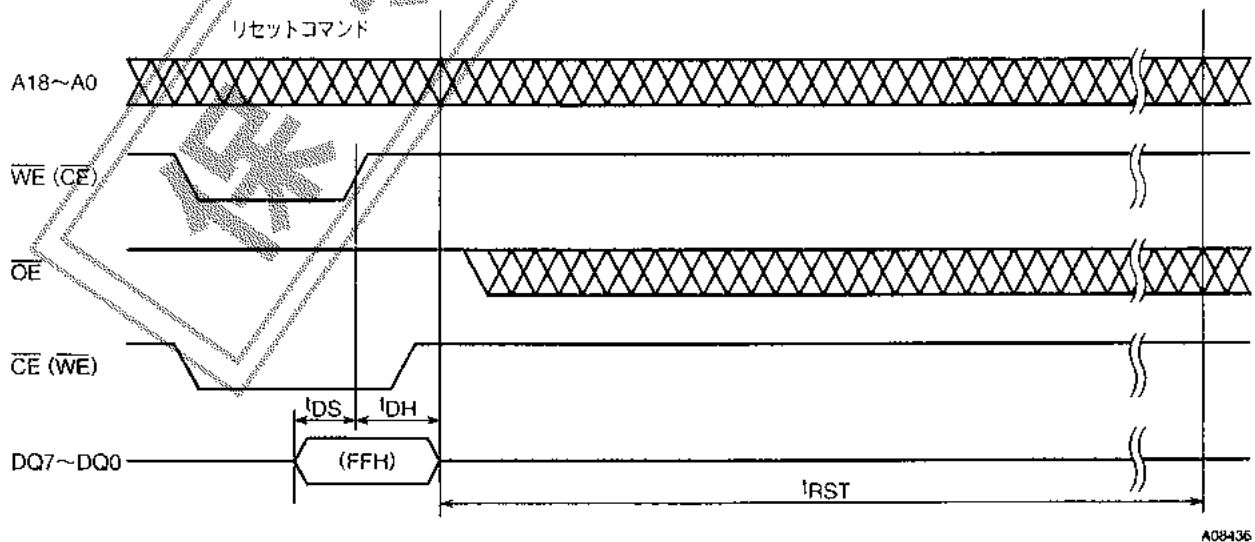


図9: ソフトウェアデータアンプロテクトシーケンス

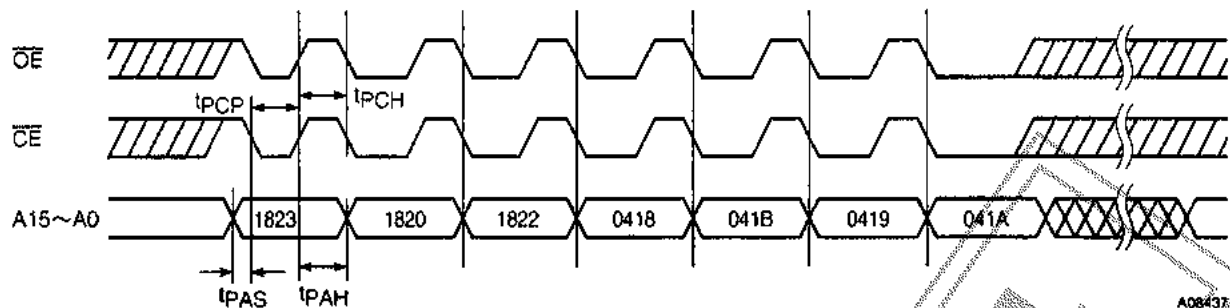


図9の説明

- (1) アドレスは $\overline{CE}$ ピンもしくは $\overline{OE}$ ピンの立上りエッジの早い方のタイミングで内部へラッチされる。
- (2) A18~A16は V_{IH} または V_{IL} 。
- (3) アドレスは16進表記である。

図10: ソフトウェアデータプロテクトシーケンス

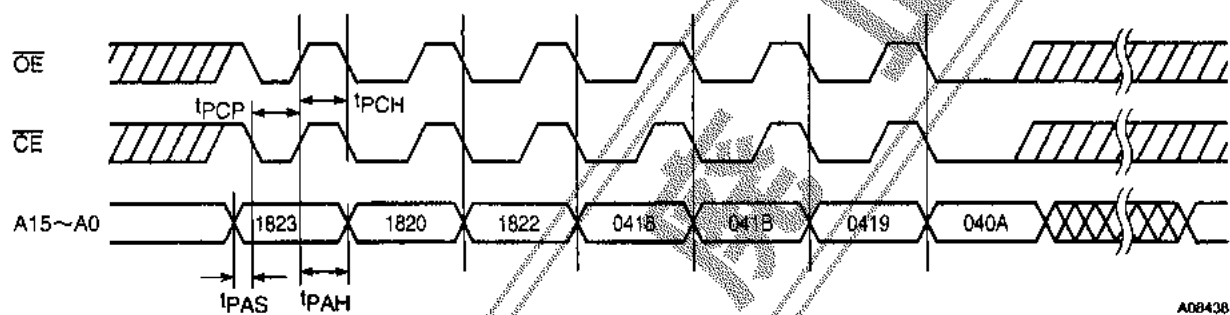


図10の説明

- (1) アドレスは $\overline{CE}$ ピンもしくは $\overline{OE}$ ピンの立上りエッジの早い方のタイミングで内部へラッチされる。
- (2) A18~A16は V_{IH} または V_{IL} 。
- (3) アドレスは16進表記である。

図11: Dataポーリング (DQ7)

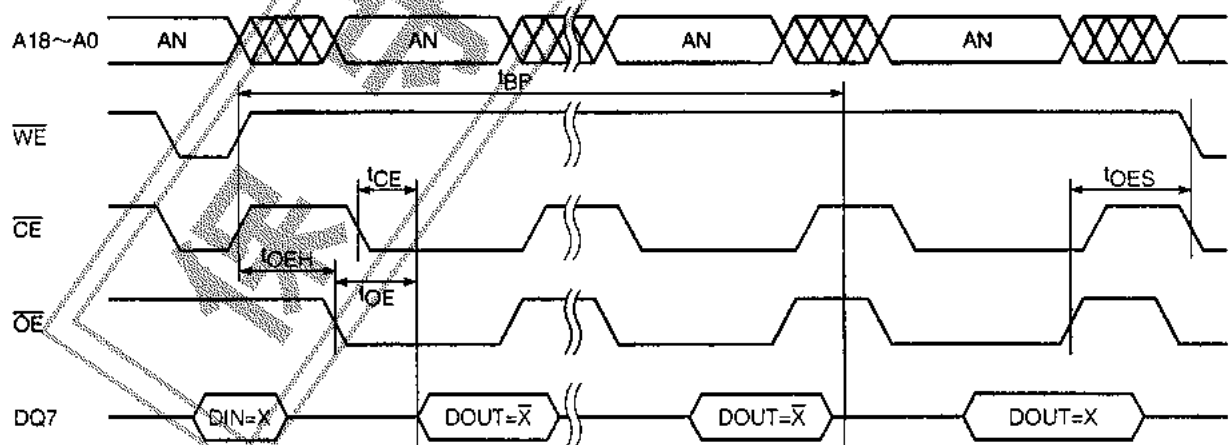
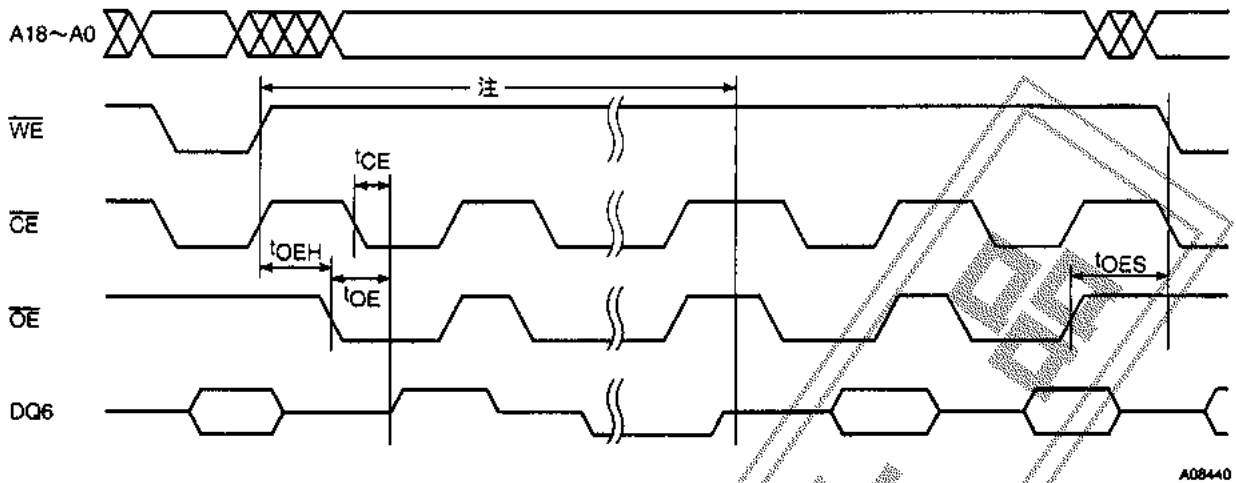
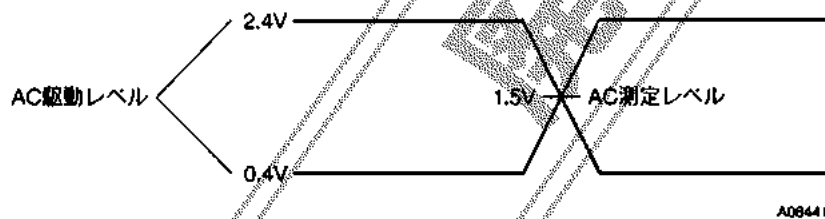


図12: トグルビット (DQ6)



注: このタイミングの規定は使用する動作モードによって異なり、 t_{OE} , t_{BP} のいずれかが適用される。

図13: AC入出力ファレンス波形



入力立上り時間, 入力立下り時間 (10% → 90%) は10ns以下である。

- この資料の掲載(掲載図表および図表数を含む)は一例を示すもので、■ 産品としての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。
- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっていません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認ください。